



UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
BIBLIOTECA EDUARDO COTE LAMUS



RESUMEN – TESIS DE GRADO

AUTOR(ES)

NOMBRES: CRISTHIAN
NOMBRES: JORGE LUIS

APELLIDOS: LÓPEZ PENAGOS
APELLIDOS: ESPINOSA DIAZ

FACULTAD: DE INGENIERÍA

PLAN DE ESTUDIOS: INGENIERIA ELECTRÓNICA

DIRECTOR:

NOMBRES: ALEXIS

APELLIDOS: RAMIREZ

TITULO DE LA TESIS: DISEÑO, ANALISIS Y SIMULACION DE UN PROCESADOR MONOCICLO EMPLEANDO METODOLOGÍAS DE DISEÑO ASÍNCRONO

RESUMEN

En este trabajo se muestra el proceso de diseño y análisis de un procesador monociclo asíncrono y su respectiva simulación, para validar las características de las metodologías de diseño asíncrono, también se presentan los fundamentos teóricos mas pertinentes usados para el desarrollo del proyecto, así como un capítulo de pruebas y resultados que muestran la validación de cada uno de las etapas del procesador, con su propia arquitectura y organización interna. Como consecuencia de este proyecto se espera incentivar el estudio de las técnicas del diseño asíncrono de procesadores e impulsar el desarrollo del área de diseño digital de alto nivel en la institución.

PALABRAS CLAVES:

SIMULACION, PROCESADOR, MONOCICLO, ASINCRONO, VHDL

CARACTERISTICAS:

PAGINAS: 91

PLANOS: 0

ILUSTRACIONES: 42

CD-ROM: 1

DISEÑO, ANALISIS Y SIMULACION DE UN PROCESADOR MONOCICLO
EMPLEANDO METODOLOGÍAS DE DISEÑO ASÍNCRONO

CRISTHIAN LÓPEZ PENAGOS
JORGE LUIS ESPINOSA DIAZ

UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ CAMACHO
FACULTAD DE INGENIERÍAS
PROGRAMA DE INGENIERIA EN ELECTRONICA
SANTIAGO DE CALI
2011

DISEÑO, ANALISIS Y SIMULACION DE UN PROCESADOR MONOCICLO
EMPLEANDO METODOLOGÍAS DE DISEÑO ASÍNCRONO

CRISTHIAN LOPEZ PENAGOS
JORGE LUIS ESPINOSA DIAZ

TRABAJO DE GRADO
En opción al título de INGENIERO ELECTRONICO

Director
Ing. Alexis Alberto Ramírez Orozco.

UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ CAMACHO
FACULTAD DE INGENIERÍAS
PROGRAMA DE INGENIERIA EN ELECTRONICA
SANTIAGO DE CALI
2011

**CONVENIO
UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ
CAMACHO**

ACTA DE SUSTENTACIÓN PROYECTO DE GRADO 2-2011


El jurado Académico del programa de Ingeniería Electrónica, conformado para la evaluación de la sustentación del proyecto de grado **DISEÑO, ANALISIS Y SIMULACION DE UN PROCESO MONOCICLO EMPLEANDO METODOLOGIA DE DISEÑO ASINCRONO**, presentado por los estudiantes:

Cédula	Nombre	Calificación en letras	Nota
1062277110	CRISTHIAN LOPEZ PENAGOS	<u>CUATRO PUNTO CUATRO</u>	<u>4.4</u>
16375185	JORGE LUIS ESPINOSA DIAZ	<u>CUATRO PUNTO CUATRO</u>	<u>4.4</u>

Y dirigido por el Ingeniero **ALEXIS RAMIREZ**
Aprueban la sustentación como requisito para optar el título como Ingeniero Electrónico

Firmado en la ciudad de Cali a los 24 días del mes de Septiembre de 2011


ING. JOSE ALEJO RANGEL
JURADO 1


ING. JESUS LIZARDO LOPEZ
JURADO 2


JORGE HUMBERTO ERAZO AUX M.Eng
Director Programa Ingeniería Electrónica
Institución Universitaria Antonio José Camacho


ING. DINAEL GUEVARA IBARRA Ph.D
Director Plan estudio Ingeniería Electrónica
Universidad Francisco de Paula Santander

Contenido

	Pág.
0 INTRODUCCION	11
1 PROCESADORES Y ASINCRONISMO.....	15
1.1 COMPONENTES BASICOS DE UN PROCESADOR.....	15
1.1.1 UNIDAD ARITMÉTICO LÓGICA (ALU).....	16
1.1.2 UNIDAD DE CONTROL.....	17
1.2 CLASIFICACIÓN DE LOS PROCESADORES.....	17
1.2.1 PROCESADORES SEGÚN SU CONJUNTO DE INSTRUCCIONES.....	18
1.2.2 PROCESADORES SEGÚN NÚMERO DE CICLOS POR INSTRUCCIÓN (CPI).....	20
1.2.3 PROCESADORES SEGÚN ORGANIZACIÓN INTERNA.....	21
1.2.4 PROCESADORES SEGÚN SINCRONISMO.....	24
1.3 VENTAJAS E INCONVENIENTES DE LOS CIRCUITOS ASINCRONOS.....	25
1.4 FUNDAMENTOS DE DISEÑO ASÍNCRONO.....	27
1.4.1 PROTOCOLOS DE COMUNICACIÓN.....	28
1.4.1.1 PROTOCOLO HANDSHAKE DE CUATRO FASES.....	28
1.4.1.2 PROTOCOLO HANSHAKE DE DOS FASES.....	29
1.4.2 CODIFICACIÓN DE SEÑALES.....	30
1.4.3 MODELOS DE RETARDO.....	31
1.4.4 CLASIFICACIÓN DE LOS CIRCUITOS ASÍNCRONOS.....	32
1.4.4.1 TIPOS DE CIRCUITOS ASINCRONOS BAJO EL MODELO DE RETARDOS NO ACOTADOS.....	32
1.4.4.2 TIPOS DE CIRCUITOS ASINCRONOS BAJO EL MODELO DE RETARDOS ACOTADOS.....	34
1.5 MODELO DE MULLER.....	36
2 DISEÑO DEL PROCESADOR	38
2.1 CARACTERISTICAS GENERALES DEL PROCESADOR.....	38
2.2 ORGANIZACIÓN INTERNA.....	38
2.3 DISEÑO DE LA ARQUITECTURA DEL CONJUNTO DE INSTRUCCIONES (ISA) ...	41
2.4 DISEÑO DE LA ORGANIZACIÓN INTERNA DE DATOS Y CONTROL.....	42
2.4.1 SELECTOR ASINCRONO.....	42
2.4.2 ALU ASINCRONA.....	45
2.4.3 BANCO DE REGISTROS ASINCRONO.....	48
2.4.4 UNIDAD DE CONTROL ASINCRONA.....	53

2.4.5	DISEÑO ELEMENTOS RETARDADORES	56
2.5	DISEÑO DEL ESQUEMA DE COMUNICACIÓN ASINCRONA	58
2.6	SINTETIZACION DEL PROCESADOR.	59
3	PRUEBAS Y RESULTADOS	63
3.1	PRUEBAS	63
3.2	RESULTADOS	71
4	CONCLUSIONES	73
	BIBLIOGRAFÍA	75
	GLOSARIO	77
	ANEXO 1:.....	78
	ANEXO 2:.....	80
	ANEXO 3:.....	88
	ANEXO 4:.....	90
	ANEXO 5:.....	91