

	GESTIÓN DE SERVICIOS ACADÉMICOS Y BIBLIOTECARIOS	CÓDIGO	FO-GS-15
	ESQUEMA HOJA DE RESUMEN	VERSIÓN	02
FECHA		16/05/2020	
PÁGINA		1 de 130	
ELABORÓ	REVISÓ	APROBÓ	
Jefe División de Biblioteca	Equipo Operativo de Calidad	Líder de Calidad	

RESUMEN TRABAJO DE GRADO

AUTOR:

NOMBRE(S): LUIS EDUARDO

APELLIDOS: RAMÍREZ CARVAJAL

FACULTAD: INGENIERÍA

PLAN DE ESTUDIOS: INGENIERÍA ELECTRÓNICA

DIRECTOR:

NOMBRE(S): GABRIELA ALEJANDRA

APELLIDOS: SIERRA PEÑARANDA

NOMBRE(S): KARLA CECILIA

APELLIDOS: PUERTO LÓPEZ

TÍTULO DEL TRABAJO (TESIS): OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-ETAPAS CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO.

RESUMEN

Se presenta un proyecto de investigación cuyo propósito fue desarrollar un objeto virtual de aprendizaje para diseñar amplificadores multi-etapa con transistores bipolar y efecto de campo. Se desarrolló una metodología de diseño, se representó mediante un diagrama de flujo y se codificó utilizando lenguaje de programación libre. Se realizaron pruebas a la herramienta desarrollando circuitos que fueron simulados e implementados en un laboratorio del departamento de electricidad y electrónica de la Universidad Francisco de Paula Santander. La herramienta permite diseñar circuitos amplificadores de voltaje con transistores bipolar y efecto de campo en corto tiempo, eficazmente y de manera dinámica. Cuenta con una interfaz gráfica interactiva que motiva al aprendizaje. Además de cumplir los objetivos, el proyecto permitió llevar a cabo 7 productos más: 5 ponencias en congresos científicos, 1 aprobación de publicación de artículo en revista tipo B de carácter internacional y una solicitud de registro de software.

PALABRAS CLAVE: OBJETO VIRTUAL DE APRENDIZAJE, MULTIETAPA, TRANSISTOR, BIPOLAR Y EFECTO DE CAMPO.

CARACTERÍSTICAS:

PÁGINAS: 126 PLANOS: 0 ILUSTRACIONES: 142 CD ROOM: 1

OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-
ETAPA CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO

LUIS EDUARDO RAMÍREZ CARVAJAL

UNIVERSIDAD FRANCISCO DE PAULA SANTANDER

FACULTAD DE INGENIERÍA

PLAN DE ESTUDIOS DE INGENIERÍA ELECTRÓNICA

SAN JOSÉ DE CÚCUTA

2019

OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-
ETAPA CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO

LUIS EDUARDO RAMÍREZ CARVAJAL

DIRECTORA:

ING. GABRIELA ALEJANDRA SIERRA PEÑARANDA

CODIRECTORA:

M.SC. KARLA CECILIA PUERTO LÓPEZ

UNIVERSIDAD FRANCISCO DE PAULA SANTANDER

FACULTAD DE INGENIERÍA

PLAN DE ESTUDIOS DE INGENIERÍA ELECTRÓNICA

SAN JOSÉ DE CÚCUTA

2019

ACTA DE SUSTENTACIÓN DE UN TRABAJO DE GRADO

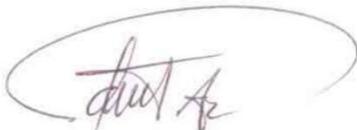
Fecha: CÚCUTA, 17 DE DICIEMBRE DE 2019
Hora: 16:00
Lugar: SALA DE FOTOGRAFIA, EDIFICIO CREAD
Plan de Estudios: INGENIERÍA ELECTRÓNICA
Título de la Tesis: "OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-ETAPA CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO"
Jurados: IE MSc. ORIANA ALEXANDRA LÓPEZ BUSTAMANTE
IE MSc. ANDRÉS EDUARDO PAEZ PEÑA
Director: IE Esp. GABRIELA ALEJANDRA SIERRA PEÑARANDA
Codirector: IE MSc. KARLA CECILIA PUERTO LOPEZ

Nombre del Estudiante	Código	Calificación
LUIS EDUARDO RAMÍREZ CARVAJAL	1161452	CINCO, CERO (5,0)

LAUREADA


ORIANA A. LÓPEZ BUSTAMANTE


ANDRÉS EDUARDO PAEZ PEÑA


DINAEL GUEVARA IBARRA, IE PhD
Coordinador Comité Curricular
Ingeniería Electrónica



**CARTA DE AUTORIZACIÓN DE LOS AUTORES PARA
LA CONSULTA, LA REPRODUCCIÓN PARCIAL O TOTAL Y LA PUBLICACIÓN
ELECTRÓNICA DEL TEXTO COMPLETO**

Cúcuta,

Señores
BIBLIOTECA EDUARDO COTE LAMUS
Ciudad

Cordial saludo:

Luis Eduardo Ramírez Carvajal, identificado con la C.C. N°1090445078, autor de la tesis y/o proyecto de grado titulado: Objeto virtual de aprendizaje para diseñar amplificadores multi-etapa con transistores bipolar y efecto de campo presentado y aprobado en el año 2020 como requisito para optar al título de INGENIERO ELECTRÓNICO; autorizo a la biblioteca de la Universidad Francisco de Paula Santander, Eduardo Cote Lamus, para que con fines académicos, muestre a la comunidad en general a la producción intelectual de esta institución educativa, a través de la visibilidad de su contenido de la siguiente manera:

- los usuarios pueden consultar el contenido de este trabajo de grado en la página web de la Biblioteca Eduardo Cote Lamus y en las redes de información del país y el exterior, con las cuales tenga convenio la Universidad Francisco de Paula Santander.
- Permita la consulta, la reproducción, a los usuarios interesados en el contenido de este trabajo, para todos los usos que tengan finalidad académica, ya sea en formato CD-ROM o digital desde Internet, Intranet etc.; y en general para cualquier formato conocido o por conocer.

Lo anterior, de conformidad con lo establecido en el artículo 30 de la ley 1982 y el artículo 11 de la decisión andina 351 de 1993, que establece que “**los derechos morales del trabajo son propiedad de los autores**”, los cuales son irrenunciables, imprescriptibles, inembargables e inalienables.

Luis Eduardo Ramírez Carvajal
C.C. 1090445078 de Cúcuta

“A Dios y a mi madre Rosa Carvajal Mónica”

AGRADECIMIENTOS

Gracias primeramente a Dios por las bendiciones recibidas, por su fidelidad, protección y provisión. Gracias a mi madre Rosa Carvajal Mónoga, instrumento de Dios para darme la vida, criarme bajo principios y valores cristianos que han forjado mi carácter, luchar incansablemente por ofrecerme calidad de vida y enseñarme el gran valor de la educación. A mi hermano mayor Carlos Orlando Ramírez Carvajal, por su apoyo incondicional siempre, a mi padre Orlando Ramírez Lizcano, a mi cuñada Jenny Vera Rodríguez, mis hermanos menores Sandra Ramírez Zuleta y Daniel Ramírez Zuleta, a mis sobrinos Nicolle Saray, Joel David y Anny Sofía, a mis primas Zulay Milena y Sandra Judith por ser como hermanas para mi y apoyarme en mis proyectos de vida, a sus esposos e hijos, a mis abuelos y demás familiares. A todos gracias.

Gracias a todos mis hermanos de la Denominación Evangélica Alianza de Colombia, a los pastores Luis Duarte, Élfido Neira, Eliseo García, Isaías Ortiz, Marino Pérez, Darío Ríos, Josué Neira y a mi pastor y tío Timoteo Ramírez, gracias por su apoyo, consejería y oración.

Gracias al ingeniero electromecánico Daniel Álvarez por ser la primera persona en hacerme ver el potencial de este proyecto, a él y su esposa Lupe, a las familias Mandón Afanador, Neira Ávila, Ascanio Ortega, a Jhon Castaño, Andrés Jaimes, Jairo Cárdenas y a todos mis amigos por sus oraciones y apoyo, especialmente a Oscar Carvajal por sus aportes en traducción del artículo científico que está en estudio para publicación en Journal of Physics: Conference Series (JPCS) y al pastor Johnfrey Pabón y familia por recibirme en su hogar durante mi estadía en Medellín con el fin de la ponencia realizada en el congreso asociado a dicho artículo, producto de este proyecto.

A mis profesores de matemáticas y física Alexander Gélves y Carlos Domínguez del Colegio Cooperativo Calasanz (actual San José de Peralta) por enseñarme a amar estas maravillosas ciencias. Al ingeniero Andrés Eduardo Páez mi profesor de Semiconductores, Teoría de Señales y Mediciones electrónicas a quien admiro por su inteligencia y calidad humana. A la ingeniera Karla Cecilia Puerto López, mi profesora de Electrónica I y Comunicaciones, mi codirectora y quien fue un apoyo fundamental en el desarrollo del presente proyecto, especialmente en contextos de divulgación y a quien admiro grandemente por su profesionalismo y calidad docente. Al ingeniero Marco Aurelio, mi profesor de Teoría electromagnética y Electrónica II, le admiro por su inteligencia y calidad catedrática, gracias a su labor adquirí la destreza algebraica e ingenieril necesaria para llevar a fin término este proyecto. A la ingeniera Gabriela Sierra, mi directora y profesora de Electrónica III y Formulación y Gestión de Proyectos, en esta última le presenté las ideas iniciales del proyecto y recibí todo su apoyo para darle inicio. Al ingeniero Byron Medina, mi profesor de Laboratorio de Medios de Transmisión, por su apoyo, diligencia y calidad humana. Al Ingeniero Dinael Guevara Ibarra, director del grupo de investigación y desarrollo en electrónica y Telecomunicaciones – GIDET y director de plan de estudios de Ingeniería Electrónica de quien recibí gran apoyo de manera diligente y amable. A los ingenieros Raquel Irene Laguado y Elkin Flórez, a quienes tengo el enorme privilegio de llamar “familia” y a quienes aprecio grandemente, por su apoyo incondicional, tienen mi total admiración y son un punto de referencia en mi vida profesional. A la Universidad Francisco de Paula Santander y el programa de ingeniería electrónica, a todas y cada una de las personas que formaron parte de mi desarrollo como Ingeniero Electrónico... ¡infinitas gracias!

Luis Eduardo Ramírez Carvajal

TABLA DE CONTENIDO

Introducción	16
1. Título	17
2. Planteamiento del problema	17
3. Justificación	18
3.1 Beneficios tecnológicos	18
3.2 Beneficios económicos	18
3.3 Beneficios sociales	18
3.4 Beneficios académicos	19
4. Alcances	19
4.1 Tipo de proyecto	19
4.2 Resultados obtenidos	20
4.2.1 Resultados directos	20
4.2.2 Resultados indirectos	20
5. Limitaciones y delimitaciones	21
5.1 Limitaciones	21
5.2 Delimitaciones	21
6. Objetivo general	22
7. Objetivos específicos	22
8. Marco referencial	23
8.1 Antecedentes	23
8.2 Marco teórico	28
8.3 Marco legal	37
9. Diseño metodológico	40
10. Cronograma	44
11. Presupuesto	45
11.1 Gasto global	45
11.2 Gastos del personal	46
11.3 Gastos de equipos	47
11.4 Gastos de materiales y suministros	48

12. Resultados	48
12.1 Identificación de variables y ecuaciones	49
12.1.1 Fuentes consultadas	49
12.1.2 Identificación de variables	49
12.1.3 Identificación de ecuaciones	50
12.2 Desarrollo de algoritmo	51
12.2.1 Desarrollo de metodología de diseño	51
12.2.2 Desarrollo de algoritmo	72
12.3 Codificación de algoritmo	73
12.3.1 Elección del lenguaje de programación	73
12.3.2 Codificación de algoritmo	73
12.3.3 Elección del nombre	82
12.3.4 Exportar código .exe	83
12.4 Evaluación de algoritmo	84
12.4.1 Pruebas de diseño	84
12.4.2 Simulación de pruebas	85
12.4.3 Implementación de pruebas	102
12.4.4 Impacto educativo	112
12.5 Productos	115
12.5.1 Ponencias	115
12.5.2 Artículo	119
12.5.3 Registro de software	121
13. Conclusiones	122
14. Referencias bibliográficas	123

LISTA DE FIGURAS

Figura 1. Transistores	29
Figura 2. Configuración Inversora	31
Figura 3. Configuración seguidora	32
Figura 4. Acoplamiento	33
Figura 5. Transistores acoplados directamente	34
Figura 6. Acoplamiento capacitivo	34
Figura 7. Acoplamiento por transformador	35
Figura 8. Diagrama de metodología usada en el proyecto	48
Figura 9. BJT Inversor	52
Figura 10. Punto de operación	53
Figura 11. Sistema de ecuaciones lineales BJT Inversor	53
Figura 12. Sistema de ecuaciones lineales BJT Inversor para máxima excursión	54
Figura 13. BJT Seguidor	55
Figura 14. JFET Inversor	58
Figura 15. Sistema de ecuaciones lineales JFET Inversor	61
Figura 16. JFET Seguidor	63
Figura 17. Respuesta en el dominio del tiempo	71
Figura 18. Polarización de etapas con BJT en Orcad	71
Figura 19. Polarización de etapas con JFET en Orcad	72
Figura 20. Diagrama de flujo de Diseño	73
Figura 21. Panel principal Seleccionar “Diseño y análisis”	74
Figura 22. Módulo teórico	74
Figura 23. Seleccionador del módulo teórico	74
Figura 24. Panel principal Seleccionar “Diseño y análisis”	75
Figura 25. Módulo de Diseño y análisis	75
Figura 26. Estructura del módulo de diseño y análisis	75
Figura 27. Sección Variables del sistema	76
Figura 28. Ingreso de variables y cálculo de etapas en modo: “Seg-Inv-Seg”	77
Figura 29. Ingreso de variables en configuración Manual	77
Figura 30. Etapa por etapa en modo: Seg-Inv-Seg	77
Figura 31. Etapa por etapa en modo: Manual	77
Figura 32. Sección: Resultados	80
Figura 33. Ventana: Gráficas	81
Figura 34. Sección: Análisis del sistema implementado	82
Figura 35. Isologotipo de MULCAD	83
Figura 36. Exportando archivo .EXE con la herramienta “Launch4j”	83
Figura 37. Esquemático - Diseño 1	86
Figura 38. Señal de salida Diseño - 1 MulCAD	86
Figura 39. Figura 38. Señal de Salida - Diseño 1 OrCAD	86
Figura 40. Cálculo de errores - Diseño 1	86
Figura 41. Esquemático - Diseño 2	87

Figura 42. Señal de salida - Diseño 2 - MulCAD	87
Figura 43. Señal de salida - Diseño 2 OrCAD	87
Figura 44. Cálculo de errores - Diseño 2	87
Figura 45. Esquemático Diseño 3	88
Figura 46. Señal de Salida Diseño 3 - MulCAD	88
Figura 47. Señal de Salida Diseño 3 - OrCAD	88
Figura 48. Cálculo de errores – Diseño 3	88
Figura 49. Esquemático Diseño 4	89
Figura 50. Señal de Salida - Diseño 4 MulCAD	89
Figura 51. Señal de Salida - Diseño 4 OrCAD	89
Figura 52. Cálculo de errores - Diseño 4	89
Figura 53. Esquemático Diseño 5	90
Figura 54. Señal de Salida - Diseño 5 MulCAD	90
Figura 55. Señal de Salida - Diseño 5 OrCAD	90
Figura 56. Cálculo de errores – Diseño 5	90
Figura 57. Esquemático - Diseño 6	91
Figura 58. Señal de Salida - Diseño 6 MulCAD	91
Figura 59. Señal de Salida - Diseño 6 OrCAD	91
Figura 60. Cálculo de errores – Diseño 6	91
Figura 61. Esquemático - Diseño 7	92
Figura 62. Señal de Salida - Diseño 7 MulCAD	92
Figura 63. Señal de Salida - Diseño 7 OrCAD	92
Figura 64. Cálculo de errores – Diseño 7	92
Figura 65. Esquemático - Diseño 8	93
Figura 66. Señal de Salida - Diseño 8 MulCAD	93
Figura 67. Señal de Salida - Diseño 8 OrCAD	93
Figura 68. Cálculo de errores - Diseño 8	93
Figura 69. Esquemático - Diseño 9	94
Figura 70. Señal de Salida - Diseño 9 MulCAD	94
Figura 71. Señal de Salida - Diseño 9 OrCAD	94
Figura 72. Cálculo de errores – Diseño 9	94
Figura 73. Esquemático - Diseño 10	95
Figura 74. Señal de Salida - Diseño 10 MulCAD	95
Figura 75. Señal de Salida - Diseño 10 OrCAD	95
Figura 76. Cálculo de errores – Diseño 10	95
Figura 77. Esquemático - Diseño 11	96
Figura 78. Señal de Salida - Diseño 11 MulCAD	96
Figura 79. Señal de Salida - Diseño 11 OrCAD	96
Figura 80. Cálculo de errores – Diseño 11	96
Figura 81. Esquemático - Diseño 12	97
Figura 82. Señal de Salida - Diseño 12 MulCAD	97
Figura 83. Señal de Salida - Diseño 12 OrCAD	97
Figura 84. Cálculo de errores – Diseño 12	97

Figura 85. Esquemático - Diseño 13	98
Figura 86. Señal de Salida - Diseño 13 MulCAD	98
Figura 87. Señal de Salida - Diseño 13 OrCAD	98
Figura 88. Cálculo de errores – Diseño 13	98
Figura 89. Esquemático - Diseño 14	99
Figura 90. Señal de Salida - Diseño 14 MulCAD	99
Figura 91. Señal de Salida - Diseño 14 OrCAD	99
Figura 92. Cálculo de errores – Diseño 14	99
Figura 93. Esquemático - Diseño 15	100
Figura 94. Señal de Salida - Diseño 15 MulCAD	100
Figura 95. Señal de Salida - Diseño 15 OrCAD	100
Figura 96. Cálculo de errores – Diseño 15	100
Figura 97. Esquemático - Diseño 16	101
Figura 98. Señal de Salida - Diseño 16 MulCAD	101
Figura 99. Señal de Salida - Diseño 16 OrCAD	101
Figura 100. Cálculo de errores – Diseño 16	101
Figura 101. Errores promedio en todos los diseños simulados	102
Figura 102. Instrumentos de medición utilizados en el proyecto	103
Figura 103. Estación de laboratorio	104
Figura 104. Implementación – Circuito 1	105
Figura 105. Señal de Salida - Circuito 1 MulCAD	105
Figura 106. Señal de Salida - Circuito 1 Laboratorio	105
Figura 107. Cálculo de errores – Circuito 1	105
Figura 108. Implementación – Circuito 2	106
Figura 109. Señal de Salida - Circuito 2 MulCAD	106
Figura 110. Señal de Salida - Circuito 2 Laboratorio	106
Figura 111. Cálculo de errores – Circuito 2	106
Figura 112. Implementación – Circuito 3	107
Figura 113. Señal de Salida - Circuito 3 MulCAD	107
Figura 114. Señal de Salida - Circuito 3 Laboratorio	107
Figura 115. Cálculo de errores – Circuito 3	107
Figura 116. Implementación – Circuito 4	108
Figura 117. Señal de Salida - Circuito 4 MulCAD	108
Figura 118. Señal de Salida - Circuito 4 Laboratorio	108
Figura 119. Cálculo de errores – Circuito 4	108
Figura 120. Implementación – Circuito 5	109
Figura 121. Señal de Salida Circuito 5 MulCAD	109
Figura 122. Señal de Salida Circuito 5 - Laboratorio	109
Figura 123. Cálculo de errores – Circuito 5	109
Figura 124. Implementación – Circuito 6	110
Figura 125. Señal de Salida - Circuito 6 MulCAD	110
Figura 126. Señal de Salida - Circuito 6 Laboratorio	110
Figura 127. Cálculo de errores – Circuito 6	110

Figura 128. Implementación – Circuito 7	111
Figura 129. Señal de Salida Circuito 7 - MulCAD	111
Figura 130. Señal de Salida Circuito 7 - Laboratorio	111
Figura 131. Cálculo de errores – Circuito 7	111
Figura 132. Errores en implementación	112
Figura 133. Listado de estudiantes de prueba académica	113
Figura 134. Resultados antes de conocer la herramienta	114
Figura 135. Resultados después de conocer la herramienta	114
Figura 136. Certificado Ponencia 1	115
Figura 137. Certificado Ponencia 2	116
Figura 138. Certificado Ponencia 3	117
Figura 139. Certificado Ponencia 4	118
Figura 140. Certificado Ponencia 5	119
Figura 141. Solicitud de correcciones para publicación de artículo	120
Figura 142. Solicitud de registro de software	121

LISTA DE TABLAS

Tabla 1. Cronograma de actividades	44
Tabla 2. Presupuesto de gasto global	45
Tabla 3. Presupuestos de los gastos del personal	46
Tabla 4. Presupuesto de los Gastos de equipos	47
Tabla 5. Presupuesto de los gastos de materiales y suministros	48
Tabla 6. Compendio de ecuaciones	50
Tabla 7. Tabla de impedancias	52
Tabla 8. Impedancias del ejemplo	66
Tabla 9. Valor teórico vs Valor simulado	72
Tabla 10. Valor de parámetros de transistores por defecto	79
Tabla 11. Resultados – Diseño 1	86
Tabla 12. Resultados - Diseño 2	87
Tabla 13. Resultados - Diseño 3	88
Tabla 14. Resultados - Diseño 4	89
Tabla 15. Resultados - Diseño 5	90
Tabla 16. Resultados - Diseño 6	91
Tabla 17. Resultados - Diseño 7	92
Tabla 18. Resultados - Diseño 8	93
Tabla 19. Resultados - Diseño 9	94
Tabla 20. Resultados - Diseño 10	95
Tabla 21. Resultados - Diseño 11	96
Tabla 22. Resultados - Diseño 12	97
Tabla 23. Resultados - Diseño 13	98
Tabla 24. Resultados - Diseño 14	99
Tabla 25. Resultados - Diseño 15	100
Tabla 26. Resultados - Diseño 16	101
Tabla 27. Resultados implementación - Circuito 1	105
Tabla 28. Resultados Implementación – Circuito 2	106
Tabla 29. Resultados implementación – Circuito 3	107
Tabla 30. Resultados implementación - Circuito 4	108
Tabla 31. Resultados implementación - Circuito 5	109
Tabla 32. Resultados implementación - Circuito 6	110
Tabla 33. Resultados implementación – Circuito 7	111

Introducción

La electrónica es una rama de la ciencia que estudia, crea e implementa sistemas cuya funcionalidad consiste en el flujo y control de la energía eléctrica usando dispositivos conductores, dieléctricos o semiconductores. Las bases de la electrónica comienzan con las leyes de Kirchhoff (publicadas inicialmente por Gustav Kirchhoff en 1846 y popularizadas más adelante gracias al trabajo de Georg Ohm) y con el transcurrir del tiempo ha ido avanzando a temas más complejos como los amplificadores multi-etapa compuestos por transistores. El transistor es un elemento semiconductor que entrega una señal en respuesta a una señal de entrada y cumple funciones de amplificador, oscilador, conmutador o rectificador. Dichos elementos se pueden conectar y formar un sistema complejo llamado amplificador multi-etapa, donde cada transistor constituye una etapa.

Actualmente existen dispositivos integrados que suplen las necesidades de los amplificadores multi-etapa compuestos por BJT y/o JFET, a un costo inferior, menor complejidad en el diseño, menor cantidad de elementos usados y mayor eficiencia. Sin embargo es necesario que el estudiante pase por el proceso de aprender, diseñar e implementar los multi-etapa que preceden los conocimientos de la electrónica avanzada y hacen del ingeniero, un profesional integral y capacitado para asumir cualquier reto que se le presente en su respectiva área del conocimiento.

1. Título

OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-ETAPA CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO

2. Planteamiento del problema

Diseñar un amplificador multi-etapa compuesto por transistores BJT y/o JFET es un proceso bastante complejo. Son varias las ecuaciones que rigen el comportamiento de las diferentes configuraciones como también las variables a manejar, hay que realizar un análisis en dc y en ac, de polarización y pequeña señal; pero no bastando con eso, las impedancias afectan el comportamiento de las etapas conectadas entre sí, disminuyendo el valor de la ganancia, a este fenómeno se le conoce como efecto de carga. De este modo al diseñar un amplificador multi-etapa son muchos los parámetros a tener en cuenta, y entre mayor sea la cantidad de etapas, mayor es la complejidad.

Actualmente no existe un método para diseñar amplificadores multi-etapa para n-etapas, que sea confiable y completo. Existen procedimientos para dos o tres etapas en los cuales se fuerza el sistema a condiciones como “máxima transferencia de potencia” con el fin de simplificar el proceso.

Las prácticas de laboratorio tardan de 2 a 3 semanas diseñando un amplificador, para posteriormente implementarlo en el laboratorio, hacer varias pruebas y correcciones, y finalmente el procedimiento termina extendiéndose a 4 o 5 semanas.

Por tal motivo surge el siguiente interrogante:

¿Qué herramienta emplear para optimizar el procedimiento de diseño de un amplificador multi-etapa?

3. Justificación

Debido al problema planteado fue necesario crear una herramienta virtual que conllevó a los siguientes beneficios:

3.1 Beneficios tecnológicos

Se desarrolló una herramienta virtual novedosa con una interfaz interactiva.

Se incentiva a la comunidad al uso y creación de herramientas virtuales.

3.2 Beneficios económicos

El uso de la herramienta no requiere de compras de licencia

3.3 Beneficios sociales

Se produjo un impacto social positivo en la comunidad universitaria, incentivando a la investigación como elemento fundamental para el desarrollo integral de la ingeniería y la solución de problemas actuales.

3.4 Beneficios académicos

Estudiantes y docentes cuentan con una herramienta computacional que les permitirá diseñar y analizar amplificadores multi-etapa con transistores BJT y/o JFET en configuración inversor y seguidor

Los estudiantes pueden realizar el proceso de diseño en menos tiempo y con resultados más confiables.

Los estudiantes pueden dedicar más tiempo a la implementación para obtener mejores resultados en el laboratorio

Los estudiantes pueden dedicar más tiempo a profundizar en otros temas

4. Alcances

La herramienta puede ser utilizada por estudiantes, profesores, investigadores y demás personas que deseen llevar a cabo un diseño multi-etapa utilizando transistores BJT y/o JFET en configuración inversor y seguidor.

4.1 Tipo de proyecto

El proyecto fue de carácter investigativo ya que permitió la construcción de conocimientos nuevos basándose en los procedimientos ya existentes por diferentes autores para unas cuantas

etapas, se amplió a n-etapas el proceso y versificó el procedimiento dando flexibilidad al diseñador ya que no es necesario obligar el diseño a condiciones como “máxima transferencia de potencia”, “baja sensibilidad a variaciones de temperatura” y/o “máxima excursión”.

4.2 Resultados obtenidos

4.2.1 Resultados directos

Los resultados del proyecto se vieron reflejados en 5 aspectos fundamentales:

- La ampliación de diseño a n-etapas: las instrucciones dadas por diferentes autores están orientadas a máximo 3 etapas. La herramienta orienta al diseño de más de 3 etapas.
- La flexibilidad en el diseño: no es necesario forzar el sistema a condiciones de máxima transferencia de potencia, máxima excursión o baja sensibilidad a variaciones de temperatura.
- Una mayor comprensión y dominio del tema por parte de los estudiantes
- Reducción del tiempo requerido para llevar a cabo el proceso.

4.2.2 Resultados indirectos

Al reducir el tiempo de diseño, este podrá ser invertido en otras áreas del conocimiento.

5. Limitaciones y delimitaciones

5.1 Limitaciones

No se usaron capacitores de desvío porque, aunque permiten una simplificación de las ecuaciones de ganancia e impedancias, si afectaban los términos de frecuencia y aumenta la cantidad de elementos a usar.

Solo se usaron transistores bipolares npn y transistores de efecto campo de canal n, debido a que son los más prácticos, comunes y disponibles en el mercado.

Solo se usaron las configuraciones “inversor” y “seguidor” debido a la practicidad de las mismas. Del inversor se aprovecha la capacidad que tiene de proporcionar una ganancia de tensión, mientras que, del seguidor, la capacidad de recibir una señal y entregarla sin distorsión, pero la ganancia de corriente total del sistema no se tuvo en cuenta en las ecuaciones del método ya que el objetivo de este tipo de amplificadores es la ganancia de voltaje.

Se usó acople capacitivo debido a su practicidad algebraica al permitir realizar el análisis en dc y en ac por separado.

5.2 Delimitaciones

Espacial: el proyecto se llevó a cabo en el grupo de investigación y desarrollo en electrónica y telecomunicaciones GIDET y en el laboratorio de tesis del departamento de electricidad y electrónica LG108 de la Universidad Francisco de Paula Santander de Cúcuta

Temporal: Se llevó a cabo en 18 meses

Conceptual: El tema a tratar fue el de amplificadores multi-etapa usando transistores BJT y/o JFET solo con configuraciones inversor y seguidor

Elementos: se usaron transistores BJT, JFET, resistencias, capacitores, fuente de alimentación en corriente directa, generador de señales, osciloscopio y multímetro para las pruebas de laboratorio y la plataforma NetBeans para la creación del software.

6. Objetivo general

Desarrollar un objeto virtual de aprendizaje para diseñar amplificadores multi-etapa con transistores: bipolar y efecto de campo

7. Objetivos específicos

7.1 Identificar las variables que describen el comportamiento de un amplificador multi-etapa.

7.2 Desarrollar un algoritmo que proporcione diseños de amplificadores multi-etapa de acuerdo a unas variables de entrada

7.3 Codificar el algoritmo en un lenguaje de programación especializado

7.4 Evaluar el desempeño del algoritmo

8. Marco referencial

8.1 Antecedentes

- **TÍTULO:** AMPLIFICADOR DE AUDIO EN CLASE A PARA AURICULARES

RESUMEN: El presente proyecto muestra el desarrollo, la simulación y la implantación de un amplificador de audio de altas prestaciones, empleando para ello transistores discretos y amplificadores operacionales sobre una PCB diseñada previamente con un programa software.

La aplicación de este amplificador será como amplificador de potencia para auriculares de alta impedancia. El circuito empleará una técnica de realimentación directa sobre los auriculares conectados a 4 hilos. El amplificador incorporará un circuito de protección para el arranque y una fuente de alimentación independiente.

AUTOR: MANUEL MARTÍN RUIZ

INSTITUCIÓN: UNIVERSIDAD CARLOS III DE MADRID

DIRECTOR: LUIS HERNÁNDEZ CORPORALES

FACULTAD: DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA

TITULACIÓN: Ingeniero Industrial

AÑO: 2012

- **TÍTULO:** PROGRAMA COMPUTACIONAL DIDÁCTICO PARA LA ENSEÑANZA DE ELECTRÓNICA BÁSICA MODULO II

RESUMEN: En este proyecto se ha creado un software como herramienta pedagógica para electrónica analógica, donde se abarca el área teórica y el área de diseño y simulación. Se eligieron los temas principales de la asignatura de electrónica básica II y se introdujeron al software las bases teóricas como también se crearon módulos de diseño y simulación para ser usados por medio de una interfaz amigable.

AUTOR: Lety Maveliza Satama Rivilla

INSTITUCIÓN: ESCUELA POLITÉCNICA NACIONAL

DIRECTOR: Antonio Calderón

FACULTAD: Facultad de Ingeniería Eléctrica

TITULACIÓN: Ingeniero en Electrónica y Telecomunicaciones

AÑO: 2000

- **TÍTULO:** DISEÑO DE UN AMPLIFICADOR DE AUDIO CON EXCURSIÓN DE VOLTAJE MAYOR A LAS FUENTES DE POLARIZACIÓN, UTILIZANDO TÉCNICAS DE MICROELECTRÓNICA

RESUMEN: El constante desarrollo de dispositivos móviles, ha encontrado en la microelectrónica una solución muy satisfactoria, pues gracias a ésta cada vez se pueden integrar más funcionalidades en espacios cada vez más reducidos. Como ingenieros, es nuestro deber buscar nuevas soluciones, y nuevas propuestas que permitan aprovechar las nuevas tecnologías. Como caso de estudio, en este trabajo, se propone el diseño de un amplificador de audio, que pueda ser integrado en sistemas móviles, como celulares o reproductores de música.

AUTOR: Javier Mauricio Olarte Gonzales

INSTITUCIÓN: PONTIFICIA UNIVERSIDAD JAVERIANA

DIRECTOR: ING. GERMÁN YAMHURE KATTAH

FACULTAD: Facultad de Ingeniería

TITULACIÓN: Grado en Ingeniería Electrónica

AÑO: 2011

- **TÍTULO:** AMPLIFICADORES LINEALES DE POTENCIA DE ALTO RENDIMIENTO

RESUMEN: En este proyecto se ha diseñado con éxito un amplificador de potencia cuya misión será trabajar como driver, teniendo así que excitar a un amplificador de mayor potencia. Como principales requisitos se puede destacar una potencia de salida de 4 W trabajando a una frecuencia central de 100 MHz con un ancho de banda relativo de entre el 20% y el 30% y un rendimiento tan grande como sea posible. El diseño se ha considerado exitoso ya que se ha llegado a conseguir un ancho de banda de trabajo por encima de los 4 W del 40% sacrificando el rendimiento ó del 30% con un rendimiento en torno al 90%.

Los contenidos del presente proyecto incluyen los conocimientos teóricos sobre amplificadores de potencia necesarios para comprender lo explicado, así como una descripción detallada de todo el proceso de diseño, optimización, implementación y medidas que se han llevado a cabo.

AUTOR: Ángel de Álvaro Castellanos

INSTITUCIÓN: UNIVERSIDAD POLITÉCNICA DE CARTAGENA

DIRECTOR: Francisco Javier Ortega González

FACULTAD: DIAC

TITULACIÓN: Grado en Ingeniería de Sistemas de Telecomunicación

AÑO: 2013

- **TÍTULO:** Mejora en el diseño del amplificador de bajo ruido en la banda de 1420 MHz para aplicaciones de radioastronomía

RESUMEN: Este proyecto consistió en mejorar el diseño de un amplificador de una etapa de bajo ruido sintonizado a 1420 MHz, que debió formar parte de un receptor de bajo ruido para aplicaciones de radioastronomía. Este amplificador fue diseñado en un PFC previo en el que no se consiguieron las especificaciones deseadas, planteando los siguientes objetivos para la realización en este PFC:

- a) Reducir la figura de ruido del circuito
- b) Mejorar la adaptación en la salida
- c) Mejorar la caracterización del dispositivo

Para conseguir los objetivos propuestos se realizaron dos diseños de dicho amplificador. El primer diseño partió de unos parámetros S experimentales del circuito de transistor polarizado, que se habían fabricado previamente. La implementación de sus redes de adaptación de entrada y salida se realizaron empleando una línea de transmisión de $\lambda/4$ en paralelo con un stub de $\lambda/8$. En el segundo diseño los datos de partida fueron los parámetros simulados del circuito de transistor polarizado. Para la implementación de sus redes de adaptación se emplearon tanto líneas de transmisión de $\lambda/4$ como componentes discretos. Para la simulación de todos los circuitos se empleó el software de simulación circuital de alta frecuencia Microwave Office, que permitió desarrollar circuitos reales,

teniendo en cuenta los efectos de las líneas con pérdidas. Una vez diseñados, simulados y optimizados, los circuitos se fabricaron y se midieron sus prestaciones eléctricas, haciendo uso de los equipos disponibles en el laboratorio.

AUTOR: Anna Kamasheva

INSTITUCIÓN: ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE TELECOMUNICACIÓN (UNIVERSIDAD POLITÉCNICA DE CARTAGENA)

DIRECTORES: David Cañete Rebenaque y Jose Luis Gómez Tornero

FACULTAD: Tecnologías de la Información y las Comunicaciones

TITULACIÓN: Ingeniería de Telecomunicación

AÑO: 2006

- **TÍTULO:** Diseño e implementación de un amplificador de audio en clase AB en puente de baja potencia.

RESUMEN: Se ha realizado en dos partes, una que abarca toda la de potencia y amplificación de corriente y en la otra todo lo demás. Esta separación ha sido debida a que la placa board donde se ha realizado el montaje no admite intensidades mayores que 1 amperio sin destruirse y por la etapa de potencia se ha calculado que podrían llegar a pasar intensidades que doblen esta cantidad e incluso la tripliquen. Con todo el montaje ya realizado y puesto en marcha surgió el inconveniente de que debido a que la carga tiene parte una inductiva, añadía ruido de alta frecuencia al montaje y el filtro antes diseñado como paso-banda no podía filtrar este ruido ya que estaba diseñado en un intervalo de 20-20Khz y 49 la inductancia añadía ruido a partir de los 10Khz, que está dentro del rango permitido. Por lo tanto, se añadió un nuevo filtro a la salida en paralelo con la carga para

atenuar este ruido. Este filtro consta de una resistencia en serie con un condensador. Se utilizó la capacidad del condensador para compensar a altas frecuencias la inductancia del condensador.

AUTOR: Guillermo Serrano Callergues

INSTITUCIÓN: UNIVERSIDAD POLITÉCNICA DE VALENCIA

DIRECTOR: Juan José Pérez Martínez

FACULTAD: ESCUELA TÉCNICA SUPERIOR INGENIEROS INDUSTRIALES EN VALENCIA

TITULACIÓN: Ingeniería en tecnologías industriales

AÑO: 2013

8.2 Marco teórico

Transistor: El transistor es un dispositivo electrónico semiconductor utilizado para entregar una señal de salida en respuesta a una señal de entrada. Cumple funciones de amplificador, oscilador, conmutador o rectificador. Actualmente se encuentra prácticamente en todos los aparatos electrónicos de uso diario tales como radios, televisores, reproductores de audio y video, relojes de cuarzo, computadoras, lámparas fluorescentes, tomógrafos, teléfonos celulares, aunque casi siempre dentro de los llamados circuitos integrados.



Figura 1. Transistores

Tomada de: <https://es.wikipedia.org/wiki/Transistor>

Transistor de unión bipolar (BJT): El transistor de unión bipolar (del inglés bipolar junction transistor, o sus siglas BJT) es un dispositivo electrónico de estado sólido consistente en dos uniones PN muy cercanas entre sí, que permite aumentar la corriente y disminuir el voltaje, además de controlar el paso de la corriente a través de sus terminales. La denominación de bipolar se debe a que la conducción tiene lugar gracias al desplazamiento de portadores de dos polaridades (huecos positivos y electrones negativos), y son de gran utilidad en gran número de aplicaciones; pero tienen ciertos inconvenientes, entre ellos su impedancia de entrada bastante baja.

Los transistores bipolares son los transistores más conocidos y se usan generalmente en electrónica analógica, aunque también en algunas aplicaciones de electrónica digital, como la tecnología TTL o BICMOS.

Un transistor de unión bipolar está formado por dos Uniones PN en un solo cristal semiconductor, separados por una región muy estrecha. De esta manera quedan formadas tres regiones:

Emisor, que se diferencia de las otras dos por estar fuertemente dopada, comportándose como un metal. Su nombre se debe a que esta terminal funciona como emisor de portadores de carga.

Base, la intermedia, muy estrecha, que separa el emisor del colector.

Colector, de extensión mucho mayor. La técnica de fabricación más común es la deposición epitaxial. En su funcionamiento normal, la unión base-emisor está polarizada en directa, mientras que la base-colector en inversa. Los portadores de carga emitidos por el emisor atraviesan la base, porque es muy angosta, hay poca recombinación de portadores, y la mayoría pasa al colector. El transistor posee tres estados de operación: estado de corte, estado de saturación y estado de actividad

Transistor de efecto campo: El JFET (Junction Field-Effect Transistor, en español transistor de efecto de campo de juntura o unión) es un tipo de dispositivo electrónico de tres terminales que puede ser usado como interruptor electrónicamente controlado, amplificador o resistencia controlada por voltaje. Posee tres terminales, comúnmente llamados drenaje (D), puerta o compuerta (G) y fuente (S).

A diferencia del transistor de unión bipolar el JFET, al ser un dispositivo controlado por un voltaje de entrada, no necesita de corriente de polarización. La carga eléctrica fluye a través de un canal semiconductor (de tipo N o P) que se halla entre el drenaje y la fuente. Aplicando una tensión eléctrica inversa al terminal de puerta, el canal se "estrecha" de

modo que ofrece resistencia al paso de la corriente eléctrica. Un JFET conduce entre los terminales D y S cuando la tensión entre los terminales G y S (V_{GS}) es igual a cero (región de saturación), pero cuando esta tensión aumenta en módulo y con la polaridad adecuada, la resistencia entre los terminales D y S crece, entrando así en la región óhmica, hasta determinado límite cuando deja de conducir y entra en corte. La gráfica de la tensión entre los terminales D y S (V_{DS}) en el eje horizontal contra la corriente del terminal D ($I_{D<$

Configuraciones: Tanto los transistores BJT como los JFET se pueden polarizar en diferentes configuraciones dependiendo de su aplicación.

Configuración inversora: Se utiliza para generar ganancias altas, pero dichas ganancias tienen símbolo negativo, cuyo significado consiste en que la señal de salida presenta un desfase de 180° .

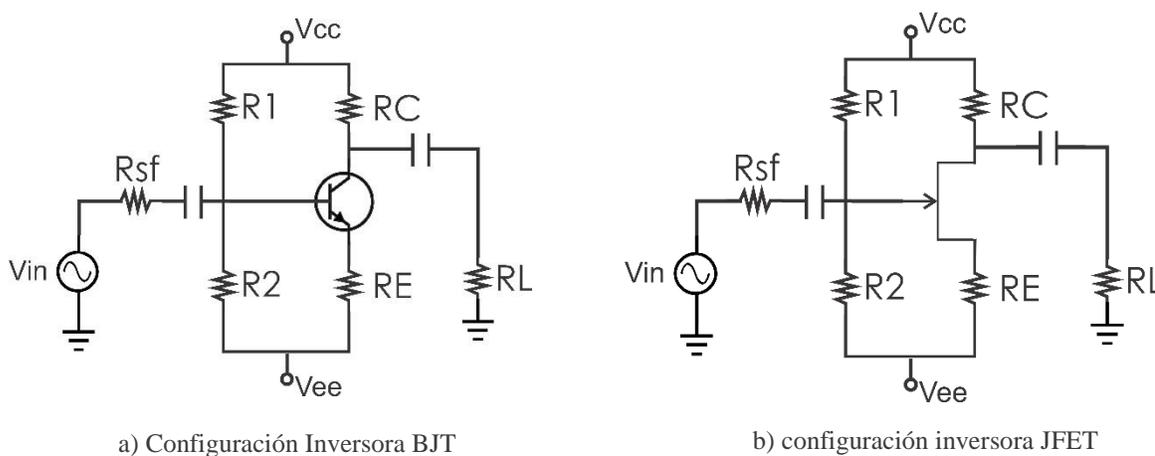


Figura 2. Configuración Inversora

Configuración seguidora: La ganancia de esta configuración es cercana a 1. No produce desfase y debido a su alta impedancia de entrada y baja impedancia de salida, tiene

la capacidad de recibir una señal y entregarla sin distorsión, además de presentar una alta ganancia de corriente.

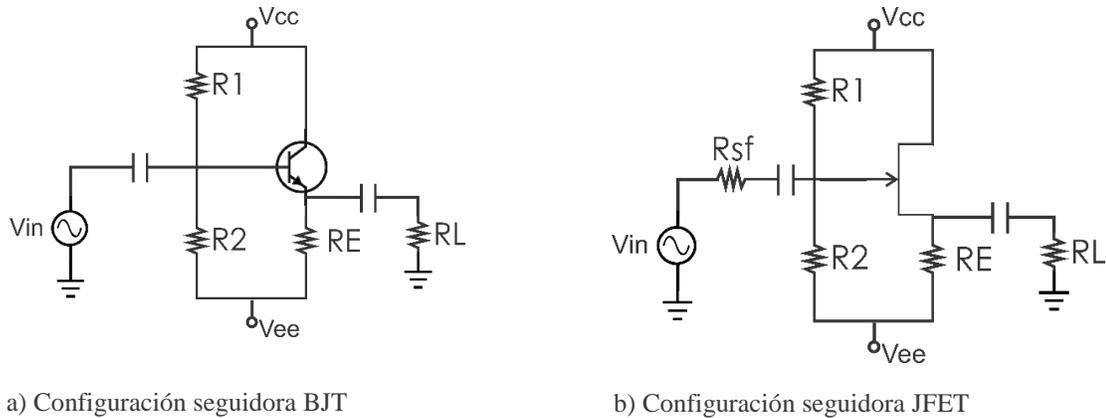


Figura 3. Configuración seguidora

Amplificadores multi-etapa: Los amplificadores multie-etapa son circuitos electrónicos formados por varios transistores (BJT y/o FET), que pueden ser acoplados de forma directa o mediante capacitores. Las configuraciones clásicas son el par Darlington (alta impedancia de entrada e incremento de la ganancia de corriente), el par diferencial (Relación de rechazo en modo común elevada), el amplificador cascode (alta impedancia de salida), entre otras.

Todas estas etapas amplificadoras pueden ser integradas y encapsuladas en un chip semiconductor llamado Circuito Integrado (CI). En el CI las polarización de las etapas se hace usando fuentes de corriente, debido a la mayor facilidad de construcción (a través de transistores). La combinación de distintas tecnologías permite mejorar la prestación de los sistemas diseñados.

Un amplificador se describe como un circuito capaz de procesar las señales de acuerdo a la naturaleza de su aplicación. El amplificador sabrá extraer la información de toda la señal, de tal manera que permita mantener o mejorar la prestación del sistema que la genera (sensor o transductor usado para la aplicación). Se llama amplificador multietapa a los circuitos o sistemas que tienen múltiples etapas formadas por transistores y además pueden ser conectadas entre sí para mejorar sus respuestas tanto en ganancia, Z_{in} , Z_{out} o ancho de banda. Las aplicaciones pueden ser tanto de cc como de ca.

TIPOS DE ACOPLAMIENTO

El acoplamiento establece la forma en la cual se conectan las distintas etapas amplificadoras, dependiendo de la naturaleza de la aplicación y las características de respuesta que se desean. Existen distintos tipos de acoplamiento: Acoplamiento directo, capacitivo y por transformador.

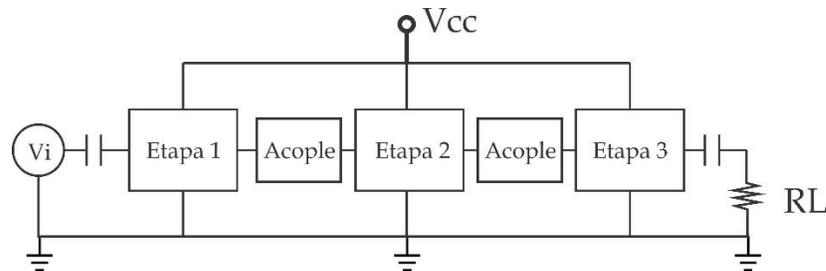


Figura 4. Acoplamiento

Acoplamiento directo: Las etapas se conectan en forma directa, esto permite una amplificación tanto de la componente de señal como de la componente continua del

circuito. Se dice que los circuitos de cc se acoplan directamente. La Fig. 2 muestra una aplicación de acoplamiento directo. En corriente continua se tiene

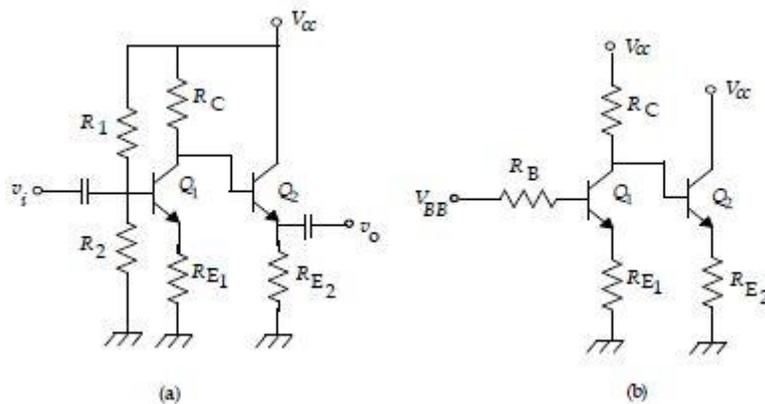


Figura 5. Transistores acoplados directamente

Acoplamiento capacitivo: el acoplamiento capacitivo o por condensador se usa para interconectar distintas etapas, en las cuales sólo se desea amplificar señal. La presencia del capacitor anula las componentes de cc, permitiendo sólo la amplificación de señales en ca. Los amplificadores de ca usan acoplamiento capacitivo. Permite mayor libertad en el diseño, pues la polarización de una etapa no afectará a la otra.

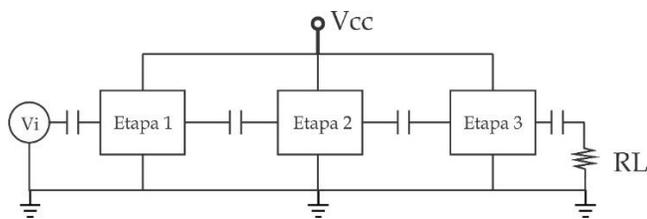


Figura 6. Acoplamiento capacitivo

Acoplamiento por transformador: Este acoplamiento es muy popular en el dominio de la radio frecuencia (RF). El transformador como carga permitirá aislar las señales y además, dependiendo de la razón de transformación incrementar el voltaje y corriente. En el circuito de la Fig. 4, la carga es alimentada a través de un transformador, la relación de voltajes estará dada por $v_2/v_1 = N_2/N_1$; donde el segundo término es la relación de inversa de transformación. Los transformadores permiten aislar eléctricamente las distintas etapas.

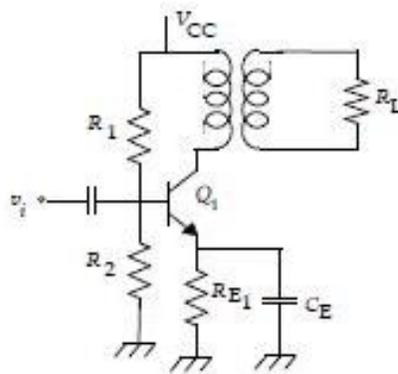


Figura 7. Acoplamiento por transformador

OVA: En educación virtual es común escuchar el término OVA por parte de los tutores virtuales hacia los estudiantes. Es una herramienta que utilizan como complemento para sus procesos de enseñanza-aprendizaje en metodologías de educación alineadas con las TIC.

Para aprovechar al máximo los OVA, los tutores deben contar con una serie de capacidades y preparaciones para utilizar de manera efectiva estos recursos. De igual

manera, los estudiantes deben estar en disposición de aprender a aprender con estas herramientas digitales que están al servicio de la educación virtual.

Si aún no sabes qué es un OVA, vamos a iniciar con el concepto y después vamos a mirar cuáles son sus ventajas que le entrega a los tutores. Docentes y estudiantes como material de apoyo para sus estudios.

¿Qué es un OVA? Un Objeto Virtual de Aprendizaje (OVA) es una herramienta diseñada para un propósito de aprendizaje y que sirve a los actores de las diversas modalidades educativas, entre ellas la educación virtual donde tienen más uso, generalmente.

Algunas ventajas de los OVA

- Esta herramienta digital le sirve al tutor como una extensión para conocer el avance del estudiante en los temas involucrados y allí puede monitorear qué tan importante y viable fue el material para los alumnos.
- El tutor virtual o el docente, puede usar, reutilizar y actualizar constantemente los documentos e información que integre en los OVA que utilice durante sus clases.
- El OVA se puede adaptar a cualquier plataforma LMS o plataformas de educación virtual.
- Garantiza el uso efectivo de las Tecnologías de Información y Comunicación (TIC), tanto para tutores como para alumnos.

- Le facilita la búsqueda a los estudiantes de los materiales que utilicen durante su experiencia virtual y uso de plataformas de aprendizaje.
- Como puedes ver, estas son algunas de las ventajas que puedes encontrar con la inclusión de los OVA en tus clases. Estas herramientas digitales te ayudarán a complementar tu metodología de trabajo y serán de ayuda para los estudiantes.

8.3 Marco legal

La Oficina de Registro de la Dirección Nacional de Derecho de Autor, presta el servicio gratuito de registro de obras literarias y artísticas, entre ellas el soporte lógico o software.

En este sentido, la finalidad del registro es la de otorgar mayor seguridad jurídica a los titulares respecto de sus derechos autorales y conexos.

1. Trámite del registro de Soporte Lógico o software ante la Dirección Nacional de Derecho de Autor:

- I. Se debe diligenciar el formato que para tal efecto ha diseñado la entidad. Este consta de la hoja denominada "Solicitud de Inscripción de Soporte Lógico o Software"; los datos allí requeridos deberán consignarse de idéntica manera en letra clara y legible, preferiblemente a máquina, sin enmiendas o correcciones, firmarse la hoja en original y remitirse junto con la copia de la

obra y los demás documentos requeridos a la Oficina de Registro de esta entidad.

- II. Al final de la información encontrará el formulario de registro de soporte lógico o software en archivo pdf. (Nota: Los formularios se deben bajar en formato oficio, imprimir en tinta negra de la misma forma como aparece en la configuración de la pantalla, recuerde configurar su impresora para tal efecto. Si se remite el formulario en formato distinto al tamaño oficio, si este es impreso en colores, si la configuración del diseño del formulario al momento de imprimir es diferente, si utiliza un formulario distinto para la solicitud, u omite o no observa las instrucciones, su solicitud será devuelta para que realice las correcciones pertinentes).

2. Duración del trámite

1. El trámite de registro tiene un término de duración de quince (15) días hábiles contados a partir de la presentación de la solicitud, y es totalmente gratuito. La solicitud de registro de obras puede ser presentada personalmente o enviada por correo a esta entidad, por el autor, titular o por un tercero apoderado, quien deberá presentar ante esta entidad, el documento mediante el cual se ha otorgado poder al solicitante.
2. El envío de la solicitud de registro debe estar acorde con las instrucciones o de lo contrario esta oficina la devolverá con el fin de que se haga las correcciones pertinentes.
3. Si el trámite se surte sin ningún inconveniente al cabo de 15 días hábiles de recibida la documentación, usted o un tercero previa su autorización podrá reclamar en nuestras

oficinas el certificado de registro, pues éste hoy en día no se esta enviando a vuelta de correo debido a los recortes en el presupuesto de las entidades públicas.

4. Para facilitar el envío de la respuesta a su solicitud de registro de obras ante la Dirección Nacional de Derecho de Autor, usted como usuario, puede contar desde ahora con las siguientes opciones:

4.1 Reclamar personalmente en las oficinas de la Unidad Administrativa Especial Dirección Nacional de Derecho de Autor, ubicada en Bogotá, D.C., en la calle 28 No. 13A-15 Piso 17 del edificio Centro de Comercio Internacional (acceso de visitantes: calle 27 A No. 13A- 26) en el horario de atención al público de 8:30 a.m. a 5:00 p.m. de lunes a viernes en jornada continua) o autorizar por escrito a un tercero para reclamar su respuesta.

4.2 Cancelar en las oficinas de Servientrega Efectivo S.A. más cercano, el valor correspondiente al envío, así:

- Correo Urbano: \$ 3.850
- Correo Nacional: \$ 7.450

Cualquier inquietud sobre el envío de correspondencia, comuníquese con la Dirección Nacional de Derecho de Autor en el teléfono 341 81 77 Ext.130.

9. Diseño metodológico

Objetivo 1: Identificar las variables que describen el comportamiento de un amplificador multi-etapa.

- Consultar fuentes

Metodología: Consultar los siguientes libros con el propósito de analizar los procedimientos de diseño que estos proponen:

- Diseño Electrónico, circuitos y sistemas – Savant – Carpenter – 2 Edición
- Teoría de Circuitos – Boylestad - Louis Electrónica– 6 edición
- Electrónica - Hallan R. Hambley - 2 Edición
- Circuitos y Dispositivos Microelectrónicos - Mark N. Horenstein – 2 Edición

- Identificar variables y ecuaciones de diseño

Metodología: Se identificaron las variables que describen el comportamiento de un amplificador multi-etapa: Ganancia de voltaje (A_v), Ganancia de corriente (A_i), Impedancia de entrada (Z_{in}), Impedancia de salida (Z_{out}), Corrientes de colector (I_c), Corrientes de base (I_b), Corrientes de emisor (I_e), Voltaje colector emisor (V_{ce}), Corrientes de drenaje (I_d), Voltaje drenaje fuente (V_{ds}), Ganancia de corriente Beta (B), Transconductancia (g_m), Voltaje de polarización (V_p), Fuentes de corriente continua (V_{cc} , V_{ee} , y V_{dd}).

Se hizo también un compendio de ecuaciones que se consideraron importantes para el procedimiento de diseño.

Objetivo 2: Desarrollar un algoritmo que proporcione diseños de amplificadores multi-etapa de acuerdo a unas variables de entrada

- Elaborar método de diseño

Metodología: El método abarca las condiciones de diseño vistas y se amplió a n-etapas. Este es una mejora de los ya existentes en los diferentes autores consultados, y se creó a partir de las conclusiones sobre los análisis hechos a dichos procedimientos.

- Realizar algoritmo

Metodología: Se realizó un algoritmo representado por un diagrama de flujo.

Objetivo 3. Codificar el algoritmo en un lenguaje de programación especializado

- Consultar diferentes lenguajes de programación para elegir el indicado

Metodología: Se consultaron cuáles son los lenguajes de programación más usados que permiten la creación de software con interfaz gráfica interactiva. Se eligió uno que presenta pocas dependencias de implementación para que la herramienta virtual pueda ser ejecutada en cualquier dispositivo.

- Escribir código

Metodología: Se procedió a escribir el código haciendo uso del diagrama de flujo como orientación principal.

- Elegir un nombre para la herramienta y crear logotipo

Metodología: Se eligió un nombre y se creó una marca (isologotipo) representativo para la herramienta virtual, estos representan fielmente la identidad del proyecto.

- Exportar el código como archivo ejecutable

Metodología: Se exportó el código como archivo ejecutable para su ejecución en cualquier sistema operativo. De aquí la importancia de usar un lenguaje de programación con pocas dependencias de implementación.

Objetivo 4. Evaluar el desempeño del algoritmo

- Hacer pruebas de diseño

Metodología: Las condiciones de diseño son: “Máxima transferencia de potencia”, “Máxima linealidad”, “Baja sensibilidad a variaciones de temperatura”, de modo que se realizaron 2 diseños por cada combinación posible utilizando dichas condiciones.

- Simular pruebas

Metodología: Todos los diseños resultantes fueron simulados en la herramienta computacional OrCAD y se calcularon los errores resultantes

- Retroalimentación

Metodología: No se presentaron errores entre lo previsto y las simulaciones.

- Implementar algunas de las pruebas simuladas

Metodología: Se eligieron algunos diseños de los simulados en OrCAD, se implementaron y se tomaron mediciones de corrientes, voltajes, impedancias y ganancias.

- Concluir con la exactitud de la herramienta

Metodología: Con los datos obtenidos sobre los errores de simulación se realizó el cálculo del error promedio total. Igualmente se hizo con los errores de implementación.

10. Cronograma

El proyecto finalizó en 7 meses como muestra la Tabla 1. Durante 11 meses más se llevó a cabo un proceso de divulgación y solicitud de registro de software.

N°	MES	JULIO				AGOSTO				SEPTIEMBRE				OCTUBRE				NOVIEMBRE				DICIEMBRE				ENERO			
	ACTIVIDAD	SEMANAS																											
		1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1	Identificar variables																												
	Consultar fuentes																												
	Identificar variables y ecuaciones de diseño																												
2	Desarrollar Algoritmo																												
	Elaborar método de diseño																												
	Realizar algoritmo																												
3	Codificar algoritmo																												
	Consultar diferentes lenguajes de programación para elegir el indicado																												
	Escribir código																												
	Elegir un nombre para la herramienta y crear logotipo																												
	Exportar el código como archivo ejecutable																												
4	Evaluar desempeño del algoritmo																												
	Hacer pruebas de diseño																												
	Simular pruebas																												
	Retroalimentación																												
	Implementar algunas de las pruebas simuladas																												
	Concluir con la exactitud de la herramienta																												

Tabla 1. Cronograma de actividades

11. Presupuesto

11.1 Gasto global

ITEM	ACTIVIDAD	CONTRAPARTIDA		TOTAL
		Estudiante	UFPS	
1	Gastos de Personal	\$5.000.000	\$6.000.000	\$11'000.000
2	Gastos de Equipos	\$800.000	\$4'600.000	\$5'400.000
3	Gasto de Materiales y suministros	\$85.000	0	\$85.000
4	Gastos de Infraestructura	0	0	0
5	Gastos de Servicio técnico	0	0	0
6	Gastos Administrativos	\$150.000	0	150.000
7	Imprevistos	\$603450	\$1060000	1'663.500
Subtotal		\$ 6'637.950	\$ 11'660.000	\$ 18'298.500
TOTAL				\$ 18'298.500

Tabla 2. Presupuesto de gasto global

11.2 Gastos del personal

I T E M	PERSONAL	FUNCIÓN DENTRO DEL PROYECTO	FORMACIÓN PERSONAL	RECURSOS		TOTAL
				CONTRAPARTIDA		
				Estudiante	UFPS	
1	Luis Eduardo Ramírez	Ejecutor	Estudiante	\$5000000	\$0	\$5000000
2	Gabriela Sierra	Directora	Ing. Electrónica	0	\$3000000	\$3000000
3	Karla Puerto	Codirectora	Ing. Electrónica	0	\$3000000	\$3000000
SUBTOTAL				\$5000000	\$6000000	
TOTAL						\$11000000

Tabla 3. Presupuestos de los gastos del personal

11.3 Gastos de equipos

EQUIPO	CANTIDAD	JUSTIFICACIÓN	FUENTES DE FINANCIACIÓN		TOTAL
			CONTRAPARTIDA		
			Estudiante	UFPS	
Computador portátil	1	Se realizarán las simulaciones, la programación y la redacción del proyecto	\$800.000	\$0	\$800.000
Multímetro BK Precision	1	Se utilizará para tomar las mediciones en la implementación	0	\$400.000	\$400.000
Osciloscopio	1	Se utilizará para graficar la señal de salida en la implementación	0	\$1.500.000	\$1.500.000
Fuente dc	1	Se utilizará para implementar las fuentes Vcc, Vee y Vdd	0	\$800.000	\$800.000
Generador de señales	1	Se utilizará para general la señal de entrada del amplificador	0	\$400.000	\$400.000
Licencia básica Matlab	1	Se utilizará para crear la guide y exportar el software	0	\$1.500.000	\$1.500.000
SUBTOTAL			\$800.000	\$4.600.000	\$5.400.000
TOTAL					\$5.400.000

Tabla 4. Presupuesto de los Gastos de equipos

11.4 Gastos de materiales y suministros

ITEM	MATERIALES Y SUMINISTROS	CANTIDAD	FUENTES DE FINANCIACION		TOTAL
			CONTRAPARTIDA		
			Estudiantes	UFPS	
1	Kit de resistencias	Kit de 600 unidades	\$20.000	\$0	\$20.000
2	Kit de capacitores	Kit de 120 unidades	\$22.000	0	\$22.000
3	Cable utp	4 metros	\$6.000	0	\$6.000
4	Pinza	1	\$10.000	0	\$10.000
5	Cortafrio	1	\$7.000	0	\$7.000
6	Protoboard	1	\$20.000	0	\$20.000
Subtotal			\$85.000	\$0	\$85.000
Total					\$85.000

Tabla 5. Presupuesto de los gastos de materiales y suministros

12. Resultados

Esta investigación se llevó a cabo por medio de una metodología descriptiva y aplicada que se puede observar en la siguiente figura:

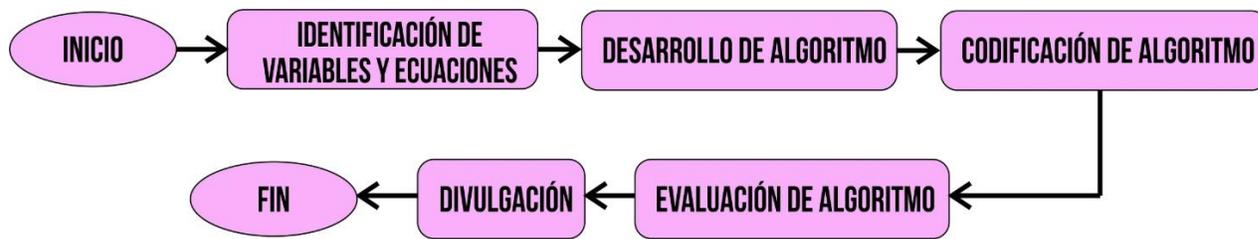


Figura 8. Diagrama de metodología usada en el proyecto

12.1 Identificación de variables y ecuaciones

12.1.1 Fuentes consultadas

Se consultaron las siguientes fuentes con el propósito de analizar la forma en la cual abordaron la temática de amplificadores multi-etapas y los procedimientos de diseño propuestos: Diseño electrónico, circuitos y sistemas de Savant y Carpenter [15], Electrónica, Teoría de circuitos de Boylestad y Nashelsky [16], Circuitos y dispositivos microelectrónicos de Horensteins [17], Circuitos microelectrónicos de Sedra y Smith [18] y Electrónica de Hambley [2]

12.1.2 Identificación de variables

Se identificaron las variables que describen el comportamiento de un amplificador multi-etapas: : Voltaje de activación (V_p), Corriente de saturación (I_{dss}), Corriente de drenaje (I_d), Voltaje compuerta – fuente (V_{gs}), Conductancia (K), Transconductancia (G_m), Ganancia de Voltaje (A_v), Resistencia phi (r_{π}), Impedancia de entrada (Z_{in}), Impedancia de salida (Z_{out}), Resistencia compuerta-fuente (R_1), Resistencia compuerta-tierra (R_2), Resistencia de drenaje (R_D), Resistencia de fuente (R_S), Corriente de colector (I_c), Corriente de base (I_b), Corriente de emisor (I_e), Voltaje colector – emisor (V_{ce}), Resistencia Thevenin (R_{th}), Voltaje Thevenin (V_{th}), Ganancia de corriente (β), Voltaje térmico (V_t), Transconductancia (G_m), Resistencia phi (r_{π}), Resistencia de colector (R_C), Resistencia de Emisor (R_E) y fuentes de alimentación (V_{DD} Ó V_{CC} y V_{EE}).

12.1.3 Identificación de ecuaciones

12.1.3.1 Compendio de ecuaciones según el tipo de transistor, configuración y análisis (Caracterización, polarización y pequeña señal).

TRANSISTOR CONFIGURACIÓN	CARACTERIZACIÓN DEL TRANSISTOR	POLARIZACIÓN	PEQUEÑA SEÑAL
BJT SEGUIDOR	$I_e = I_b + I_c$ $I_c = \beta I_b$ $I_e = (\beta + 1)I_b$	$R_{th} = R_1 R_2 / (R_1 + R_2)$ $V_{th} = (V_{cc} - V_{ee})(R_2 + V_{EE}) / (R_1 + R_2)$ $I_b = (V_{th} - V_{EE} - V_{BE}) / (R_{th} + (\beta + 1)RE)$ $V_{CE} = V_{CC} - V_{EE} - I_C RE$ $V_{ceq} = \frac{I_{cq}((RC RL) + RE)}{2}$ $I_{cq} = \frac{V_{CC} - V_{EE}}{(RC RL) + 2RE}$	$r_{\pi} = \frac{\beta V_t}{I_c}$ $g_m = \frac{I_c}{V_t}$ $A_v = \frac{(\beta + 1)RE}{r_{\pi} + (\beta + 1)RE}$ $A_v \approx 1; Z_o = r_{\pi} / \beta$ $Z_{in} = R_{th} (r_{\pi} + (\beta + 1)RE)$
BJT INVERSOR		$R_{th} = R_1 R_2 / (R_1 + R_2)$ $V_{th} = (V_{cc} - V_{ee})(R_2 + V_{EE}) / (R_1 + R_2)$ $I_b = (V_{th} - V_{EE} - V_{BE}) / (R_{th} + (\beta + 1)RE)$ $V_{CE} = V_{CC} - V_{EE} - I_C (RC + RE)$ $V_{ceq} = \frac{I_{cq}((RC RL) + RE)}{2}$ $I_{cq} = \frac{V_{CC} - V_{EE}}{(RC RL) + RE + RC + RE}$	$r_{\pi} = \frac{\beta V_t}{I_c}; g_m = \frac{I_c}{V_t}$ $A_v = \frac{-\beta RC}{r_{\pi} + (\beta + 1)RE}$ $Z_o = RC$ $Z_{in} = R_{th} (r_{\pi} + (\beta + 1)RE)$
JFET SEGUIDOR	$k = \frac{I_{dss}}{V_p^2}$	$V_{dd} - I_{dRS} = 0$ $I_d = I_{dss}(1 - V_{gs}/V_p)^2$ $V_g = \frac{R_2 V_{dd}}{R_1 + R_2}; V_{dsQ} = \frac{V_{dd}}{2}$ $I_{dQ} = \frac{I_{dss}}{2}; V_{gsQ} = 0.3 * V_p$ $g_m = 2\sqrt{K * I_{dQ}}$	$A_v \approx 1$ $Z_o = RD$ $Z_{in} = R_1 R_2 / (R_1 + R_2)$
JFET INVERSOR		$V_{dd} - I_d(RD + RS) = 0$ $I_d = I_{dss}(1 - V_{gs}/V_p)^2$ $V_g = \frac{R_2 V_{dd}}{R_1 + R_2}; V_{dsQ} = \frac{V_{dd}}{2}$ $I_{dQ} = \frac{I_{dss}}{2}; V_{gsQ} = 0.3 * V_p$ $g_m = 2\sqrt{K * I_{dQ}}$	$A_v = \frac{-RD}{\frac{1}{g_m} + RS}$ $Z_o = RD$ $Z_{in} = R_1 R_2 / (R_1 + R_2)$

Tabla 6. Compendio de ecuaciones

12.1.3.2 Fórmula general de acople de etapas:

$$A_v = \frac{Z_{i1}}{R_{sf} + Z_{i1}} A_{v1} \frac{Z_{i2}}{Z_{o1} + Z_{i2}} A_{v2} \frac{Z_{i2}}{Z_{o1} + Z_{i2}} \dots A_{vn} \frac{R_L}{Z_{on} + R_L}$$

12.2 Desarrollo de algoritmo

12.2.1 Desarrollo de metodología de diseño

La metodología de diseño desarrollada presenta 2 modalidades: diseño libre y diseño condicionado; y 4 opciones según el transistor y configuración: BJT Inversor, BJT Seguidor, JFET Inversor y JFET Seguidor.

Los pasos generales de la metodología son los siguientes:

Paso I. Variables conocidas: Características del transistor (B ó I_{dss} y V_p), fuentes dc (V_{cc} y V_{ee} ó V_{dd}), Ganancia de voltaje A_v , Impedancias (Z_o y Z_i), R_L y condiciones.

Paso II. Elegir la ganancia de voltaje que tendrá cada una de las etapas

Paso III. Se plantea la tabla de impedancias la cual se irá llenando en el proceso de diseño donde unas serán halladas y otras sugeridas

Z_{ij}	Valor	Z_{oj}	Valor
Z_{i1}	-----	Z_{o1}	-----

Zi2	----- = RL1	Zo2	-----
Zi3	----- = RL2	Zo3	-----
.	.	.	.
.	.	.	.
Zin	----- = RL(n-1)	Zon	-----

Tabla 7. Tabla de impedancias

Las impedancias de entrada son las resistencias de carga de la etapa anterior “ $Z_{ij} = R_{Lj-1}$ ”

Paso IV. Se lleva a cabo el proceso de diseño, eligiendo el sub-método adecuado para cada etapa.

SUBMÉTODOS

Se plantean a continuación los submétodos de diseño para una sola etapa que son adaptables a diseño de amplificadores multietapa.

BJT Inversor

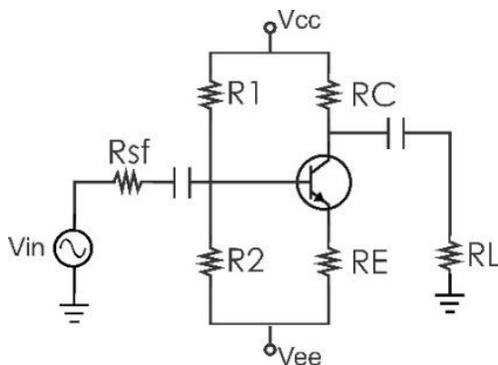


Figura 9. BJT Inversor

Diseño libre:

Paso 1. Variables conocidas: A_v (Ganancia de voltaje), R_L (Resistencia de carga), R_{sf} (Resistencia de fuente, si no se conoce se asume un valor pequeño: 50Ω , por ejemplo), Z_i (Impedancia de entrada), Z_o (Impedancia de salida), B (Beta), V_{cc} y V_{ee} (fuentes dc), F_{ac} (Factor de acople, es un valor entre 0 y 1 que representa las pérdidas por acople, se recomienda usar valores $\geq 0,7$)

Paso 2. Elegir δ para punto de operación

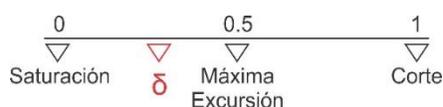


Figura 10. Punto de operación

δ es un número entre 0 y 1 donde 0.5 es el valor que debe tomar para máxima excursión simétrica. (Savan y Carpenter, 1991)

Paso 3. $A_m = A_v / F_{ac}$

Paso 4. Resolviendo el sistema de ecuaciones lineales se halla r_π y R_E

$$\left(\begin{array}{l} Amr_\pi \quad Am(B+1)RE = \quad -BRC \\ \frac{V_f r_\pi}{BVt} \quad -\left(\frac{1-\delta}{\delta} + 1\right)RE = \quad \frac{(1-\delta)(RC||RL)}{\delta} + RC \end{array} \right)$$

Figura 11. Sistema de ecuaciones lineales BJT Inversor

Paso 5. Hallar I_{CQ}

$$I_{CQ} = \frac{BVt}{r_\pi}$$

Paso 6. Hallar R_B

$$R_B = \frac{[r_\pi + (B+1)RE] Z_i}{[r_\pi + (B+1)RE] - Z_i}$$

Paso 7. Hallar V_{th}

$$V_{th} = \frac{I_{cq}RB}{B} + \frac{I_{cq}(B+1)RE}{B} + V_{be} + V_{ee}$$

Paso 8. Hallar R_1

$$R_1 = \frac{V_f R_{th}}{V_{th} - V_{ee}}$$

Paso 9. Hallar R_2

$$R_2 = \frac{R_1 R_{th}}{R_1 - R_{th}}$$

Diseño condicionado:

A. La primera condición es elegir $\delta=0.5$ para máxima excursión. En tal caso las ecuaciones de polarización quedarían así:

$$V_{ceq} = \frac{I_{cq}R_{ca}}{\delta}$$

$$I_{cq} = \frac{V_f}{R_{ca} + R_{cd}}$$

EL sistema de ecuaciones lineales queda así:

$$\left(\begin{array}{cc|c} Amr\pi & Am(B+1)RE = & -BRC \\ \frac{V_f r\pi}{BV_t} & -2RE = & (RC||RL) + RC \end{array} \right)$$

Figura 12. Sistema de ecuaciones lineales BJT Inversor para máxima excursión

B. Para máxima transferencia de potencia $Z_o=RL$ y el procedimiento es el mismo.

C. Para baja sensibilidad a variaciones de B se modifica el paso 5 por las fórmulas:

$$R_B = 0.1 B R_E$$

$$Z_i = R_B \parallel (r_\pi + (B+1)R_E)$$

Luego se siguen los pasos del 6 al 8.

BJT Seguidor

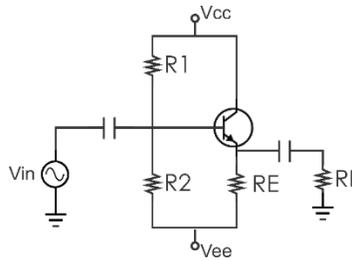


Figura 13. BJT Seguidor

Diseño libre

Paso 1. Variables conocidas: A_v (Ganancia de voltaje, se toma cercana a 1), R_L (Resistencia de carga), R_{sf} (Resistencia de fuente, si no se conoce se asume un valor pequeño: 50Ω , por ejemplo), Z_i (Impedancia de entrada), Z_o (Impedancia de salida), B (Beta), V_{cc} y V_{ee} (fuentes dc), F_{ac} (Factor de acople, es un valor entre 0 y 1 que representa las pérdidas por acople, se recomienda usar valores $\geq 0,7$)

Paso 2. $r_\pi = Z_o B$

Paso 3. Hallar R_E

$$R_E = \frac{A_m r_\pi}{(B + 1)(1 - A_m)}$$

Se sugiere trabajar con un valor de $A_m = 0,999$

Paso 4. Hallar I_{cq} con las ecuaciones de polarización, para lo cual se debe elegir un valor de δ

$$V_f = V_{cc} - V_{ee}$$

$$R_{ca} = R_E // R_L$$

$$R_{cd} = R_E$$

$$I_{cq} = \frac{V_f}{\frac{(1-\delta)}{\delta} R_{ca} + R_{cd}}$$

Paso 5. Recalcular r_{π} y A_m

$$r_{\pi} = \frac{BV_t}{I_{cq}}$$

$$A_m = \frac{(B+1)R_E}{r_{\pi} + (B+1)R_E}$$

Paso 6. Hallar R_B

$$R_B = \frac{[r_{\pi} + (B+1)R_E] Z_i}{[r_{\pi} + (B+1)R_E] - Z_i}$$

Paso 7. Hallar V_{th}

$$V_{th} = \frac{I_{cq}R_B}{B} + \frac{I_{cq}(B+1)R_E}{B} + V_{be} + V_{ee}$$

Paso 8. Hallar R_1

$$R_1 = \frac{V_f R_{th}}{V_{th} - V_{ee}}$$

Paso 9. Hallar R_2

$$R2 = \frac{R1Rth}{R1 - Rth}$$

Diseño condicionado

A. Para máxima excursión $\delta=0.5$ en el paso 4 la ecuación queda así:

$$Icq = \frac{Vf}{\frac{(1 - \delta)}{\delta} Rca + Rcd}$$

B. Con la condición 2 para máxima transferencia de potencia $RE = RL$, el diseñador no puede elegir Zo el proceso queda así:

Paso 1. Ahora en variables conocidas tenemos RE pero no Zo

Paso 2. Hallar $r\pi$

$$Icq = \frac{Vf}{1.5RE}$$

$$r\pi = BVt / Icq$$

Paso 3. Hallar RB

$$RB = \frac{\left[r\pi + \frac{(B + 1)RE}{2} \right] Zi}{\left[r\pi + \frac{(B + 1)RE}{2} \right] - Zi}$$

Paso 4. Hallar Vth

$$Vth = \frac{IcqRB}{B} + \frac{Icq(B + 1)RE}{B} + Vbe + Vee$$

Paso 5. Hallar R1

$$R1 = \frac{VfRth}{Vth - Vee}$$

Paso 6. Hallar R2

$$R2 = \frac{R1Rth}{R1 - Rth}$$

C. Para “baja sensibilidad a variaciones de B”

$$RB = 0.1RE$$

En “Diseño libre” se modifica el paso 6 con la fórmula anterior y en “Diseño condicionado” es el paso 3 el modificado con la fórmula anterior, los demás pasos quedan igual

JFET Inversor

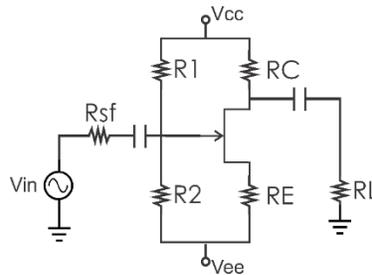


Figura 14. JFET Inversor

Diseño libre.

Este submétodo posiblemente no provee máxima linealidad pero permite elegir Z_o . No es recomendable usarlo si no se tiene experiencia ya que podría desestabilizar el transistor y llevarle a la región óhmica o de saturación.

Paso 1. Variables conocidas: A, R_L , R_{sf} , Z_i , Z_o , I_{dss} , V_p , V_{dd}

Paso 2. Hallar A_m

$$Fac = \frac{Zi}{Rsf + Zi} * \frac{RL}{RL + Zo}$$

$$Am = Av / Fac$$

Paso 3. Hallar gm e Idq

$$Idq = \frac{Idss}{2}$$

$$Vgsq = 0.3 * Vp$$

$$gm = 2\sqrt{K * Idq}$$

Paso 4. Hallar RS

$$RS = \frac{-Am \frac{1}{gm} - RD}{Am}$$

Paso 5. Hallar VDS

$$Vds = Idq(RD + RS)$$

Si el valor está muy alejado de “Vdd/2” se asigna diferente a Zo y repiten los pasos hasta encontrar un valor adecuado

Paso 6. Hallar Vg

$$Vg = Vgs + IdRS$$

Paso 7. Hallar R1

$$R1 = \frac{RDVdd}{Vg}$$

Paso 8. Hallar R2

$$R2 = \frac{R1RB}{R1 - RB}$$

Diseño condicionado

A. Máxima linealidad

El diseñador no puede elegir Zo ni RL pero hay máxima linealidad

Paso 1. Variables conocidas: A, RL, Rsf, Zi, Idss, Vp, Vdd

Paso 2. Hallar Am

Se debe sugerir un valor para Fac

$$Am = \frac{A}{Fac}$$

Paso 3. Hallar gm e Idq se usan las ecuaciones

$$Idq = \frac{Idss}{2}$$

$$Vgsq = 0.3 * Vp$$

$$gm = 2\sqrt{K * Idq}$$

Paso 4. Sistema de ecuaciones lineales

$$\left(\begin{array}{l} AmRS + RD = -Amgm^{-1} \\ IdRS + IdRD = \frac{Vdd}{2} \end{array} \right)$$

Figura 15. Sistema de ecuaciones lineales JFET Inversor

Resolviendo el sistema se tiene Rs y RD donde Zo=RD

Paso 5. Hallar Vg

$$Vg = 0.3Vp + IdRS$$

Paso 6. Hallar R1

$$R1 = \frac{ZiVdd}{Vg}$$

Paso 7. Hallar R2

$$R2 = \frac{R1RB}{R1 - RB}$$

Paso 8. Hallar RL

$$RL = \frac{FacRD}{1 - Fac}$$

En caso de un multietapa, RL es la impedancia de entrada de la siguiente etapa

B. Máxima transferencia de potencia: RD=RL

Hay 2 opciones:

1. Seguir los pasos de *diseño libre* pero se puede el transistor lejos de la zona adecuada para amplificación

2. La ganancia no se puede hallar. Se presenta el siguiente procedimiento:

C. Elegir Z_o

Se usa para poder elegir Z_o o hacerla igual a R_L (en caso de máxima transferencia de potencia) y a su vez tener máxima linealidad. El diseñador no puede elegir A_m , sino que debe ser hallada.

Paso 1. Variables conocidas: R_L , R_{sf} , Z_i , Z_o , I_{dss} , V_p , V_{dd}

Paso 2. Hallar g_m e I_{dq}

$$I_{dq} = \frac{I_{dss}}{2}$$

$$V_{gsq} = 0.3 * V_p$$

$$g_m = 2\sqrt{K * I_{dq}}$$

Paso 3. Hallar R_S (con $R_D=R_L$)

$$R_S = \frac{-A_m \frac{1}{g_m} - R_D}{A_m}$$

Paso 4. Hallar A_m

$$A_m = \frac{-R_D}{\frac{1}{g_m} + R_S}$$

Paso 5. Hallar V_g

$$V_g = 0.3V_p + I_d R_S$$

Paso 6. Hallar R_1

$$R_1 = \frac{R_D V_{dd}}{V_g}$$

Paso 7. Hallar R_2

$$R_2 = \frac{R_1 R_B}{R_1 - R_B}$$

JFET Seguidor

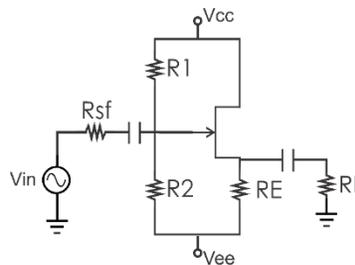


Figura 16. JFET Seguidor

Diseño libre

Paso 1. Variables conocidas: A , R_L , R_{sf} , Z_i , Z_o , I_{dss} , V_p , V_{dd}

Paso 2. Hallar g_m e I_{dq}

$$I_{dq} = \frac{I_{dss}}{2}$$

$$V_{gsq} = 0.3 * V_p$$

$$gm = 2\sqrt{K * Idq}$$

Paso 3. Hallar RS

$$RS = \frac{\frac{Zo}{gm}}{\frac{1}{gm} - Zo}$$

Paso 4. Hallar Vds

$$Vds = Vdd - IdqRS$$

Paso 5. Hallar Vg

$$Vg = 0.3Vp + IdRS$$

Paso 6. Hallar R1

$$R1 = \frac{RDVdd}{Vg}$$

Paso 7. Hallar R2

$$R2 = \frac{R1RB}{R1 - RB}$$

Diseño condicionado

A. Máxima linealidad: Zo debe ser hallada.

Paso1. Variables conocidas: A, RL, Rsf, Zi, Idss, Vp, Vdd.

Paso 2. Hallar gm e Idq

$$Idq = \frac{Idss}{2}$$

$$V_{gsq} = 0.3 * V_p$$

$$g_m = 2\sqrt{K * I_{dq}}$$

Paso 3. Hallar R_S y Z_o

$$R_S = \frac{V_{ds}}{I_{dq}} = \frac{V_{dd}}{2I_{dq}}$$

$$Z_o = R_S || \frac{1}{g_m}$$

Paso 4. Hallar V_g

$$V_g = 0.3V_p + I_{dR_S}$$

Paso 5. Hallar R_1

$$R_1 = \frac{R_D V_{dd}}{V_g}$$

Paso 6. Hallar R_2

$$R_2 = \frac{R_1 R_B}{R_1 - R_B}$$

B. Máxima transferencia de potencia

Para Máxima transferencia de potencia $R_S=R_L$ se sigue el mismo procedimiento de “Diseño Libre” solo que esta vez ya no es necesario el paso 3.

Para diseñar en modo libre y máxima transferencia de potencia, es necesario tener amplio dominio del tema para evitar sacar el transistor de su operación lineal.

EJEMPLO

Diseñar un amplificador multi-etapa que cumpla con las siguientes características:

$$A_v \geq 500$$

$$Z_i \geq 100k\Omega$$

$$Z_o \leq 10\Omega$$

fuentes dc $\pm 12v$

Máxima excursión simétrica

Solución: 6 Etapas, etapa 1: JFET Seguidor, etapa 2,3 y 5: BJT Inversor, etapa 4: JFET Inversor, etapa 6: BJT Seguidor.

PASO I. Variables conocidas: $A_v = 700$, $Z_i = 250k$, $Z_o = 8$, $V_{cc} = V_{dd} = 12$, $V_{ee} = -12$,

PASO II. $A_{v1} = A_{v6} = 0.998$, $A_{v2} = -20$, $A_{v3} = -8$, $A_{v4} = -3$, $A_{v5} = -1.4641$

PASO III. Tabla de impedancias

Zi1	250K	Zo1	
Zi2		Zo2	
Zi3		Zo3	
Zi4		Zo4	
Zi5		Zo5	
Zi6		Zo6	8

Tabla 8. Impedancias del ejemplo

PASO IV. Se procede a diseñar etapa por etapa

ETAPA 1 JFET Seguidor para máxima linealidad se tiene:

Paso 1. Variables conocidas: $V_{dd}=12$,

$I_{dss}= 7.2\text{mA}$, $V_p= -1.2$, $Z_i=250\text{K}\Omega=RB$

Paso 2. $I_{cq}= 3.6\text{mA}$, $V_{gs}= -0.36\text{v}$,

$g_m=8.4852\text{mA/V}$, $V_{ds}=6\text{v}$

Paso 3. $R_S= 1.66\text{K}\Omega$, $R_D= Z_o=110$

Paso 4. $V_g=5.64\text{v}$

Paso 5. $R_1=531.91\text{K}\Omega$

Paso 6. $R_2=471.69\text{K}\Omega$

Paso7. $A_{m1}=0.9985$

ETAPA 2 BJT Inversor para máxima excursión

Paso 1. Variables conocidas, $A_{v2}= -20$, $B=250$, $Z_{i2}=20\text{k}\Omega$, $Z_{o2}= 2\text{k}\Omega=RC$, $V_{cc}=-$
 $V_{ee}=12\text{V}$, $V_f=V_{cc}-V_{ee}=24\text{V}$ $R_L=Z_{i3}=20\text{k}\Omega$

Paso 2. $\delta=0.5$

Paso 3. $F_{ac}=0.909$, $A_m=-22$

Paso 4. $r_{\pi}=1.080\text{K}\Omega$, $R_E=86.24$

Paso 5. $I_{cq}=5.78\text{mA}$

Paso 6. $R_B=166.66\text{k}\Omega$

Paso 7. $V_{th} = -6.76$

Paso 8. $R_1 = 764.8 \text{ K}\Omega$

Paso 9. $R_2 = 213.1 \text{ K}\Omega$

ETAPA 3 BJT Inversor máxima excursión

Paso 1. Variables conocidas: $A_{v2} = -8$, $B = 250$, $Z_{i3} = 20 \text{ k}\Omega$, $Z_{o3} = 2 \text{ k}\Omega = RC$, $V_{cc} = -$
 $V_{ee} = 12 \text{ V}$, $V_f = V_{cc} - V_{ee} = 24 \text{ V}$, $R_L = Z_{i4} = 100 \text{ k}\Omega$

Paso 2. $\delta = 0.5$

Paso 3. $F_{ac} = 0.98$, $A_m = -8.16$

Paso 4. $r_{\pi} = 1.202 \text{ K}\Omega$, $R_E = 239.33$

Paso 5. Hallar $I_{cq} = 5.19 \text{ mA}$

Paso 6. $R_B = 29.7 \text{ k}\Omega$

Paso 7. $V_{th} = -9.35 \text{ v}$

Paso 8. $R_1 = 269.8 \text{ k}\Omega$

Paso 9. $R_2 = 33.36 \text{ k}\Omega$

ETAPA 4 JFET Inversor para máxima linealidad

Paso 1. Variables conocidas: $A_{v3} = -3$, $V_{dd} = 12$, $I_{dss} = 8.2 \text{ mA}$, $V_p = -1.2$, $Z_{i4} = 100 \text{ k}$

Paso 2. $F_{ac} = 0.7$, $A_m = -4.28$

Paso 3. $I_{dq}=4.1\text{mA}$, $V_{gs}=-0.36\text{v}$, $g_m=9.66\text{mA/v}$, $V_{ds}=6\text{v}$

Paso 4. $R_S=192.92\Omega$; $R_D=1.27\text{k}$, $Z_{o4}=R_D=1.27\text{K}$

Paso 5. $V_g=0.4310$

Paso 6. $R_1=2.78\text{M}\Omega$

Paso 7. $R_2=103.72\text{ k}\Omega$

Paso 8. $R_L=Z_{i5}=2.9633\text{ k}\Omega$

ETAPA 5 BJT Inversor para máxima excursión

Paso 1. $A_{v5}=-1.4641$, $B=250$, $Z_{i5}=2.9633\text{k}\Omega$, $Z_{o5}=2\text{ k}\Omega=RC$, $V_{cc}=-V_{ee}=12\text{V}$,
 $V_f=V_{cc}-V_{ee}=24\text{V}$, $R_L=Z_{i6}=70\text{ k}\Omega$

Paso 2. $\delta=0.5$

Paso 3. $F_{ac}=0.9722$, $A_m=-1.5$

Paso 4. $r_{\pi}=1.78\text{K}\Omega$, $R_E=1.315\text{ K}\Omega$

Paso 5. $I_{cq}=3.51\text{mA}$

Paso 6. $R_B=2.989\text{k}\Omega$

Paso 7. $V_{th}=-6.43$

Paso 8. $R_1=12.89\text{ k}\Omega$

Paso 9. $R_2=3.89\text{ k}\Omega$

ETAPA 6 BJT Seguidor, máxima linealidad.

Paso 1. $R_L=1.5\text{k}\Omega$, $Z_o=8\Omega$, $B=250$, $V_{cc}=12\text{V}$, $V_{ee}= -12\text{V}$, $Z_i=70\text{k}$

Paso 2. $r_\pi = Z_o B = (8)(250) = 2\text{k}\Omega$

Paso 3. $A_m=0.999$, Hallar $R_E=7.96\text{ k}\Omega$

Paso 4. $\delta =0.5$

$R_{ca}=R_E//R_L= 7.96\text{k}\Omega//1.5\text{k}\Omega= 1.26\text{k}\Omega$

$R_{cd}= R_E= 7.96\text{k}\Omega$

$I_{cq}= 2.6\text{mA}$

Paso 5. $R_\pi=2.5$, $A_m=0.9988$

Paso 6. $R_B=72.53\text{k}\Omega$

Paso 7. $V_{th}= 10.23\text{V}$

Paso 8. $R_1=78.3\text{ k}\Omega$

Paso 9. $R_2= 984.24\text{ k}\Omega$

RESULTADOS

Al hacer la simulación en Orcad se obtuvieron los siguientes resultados:

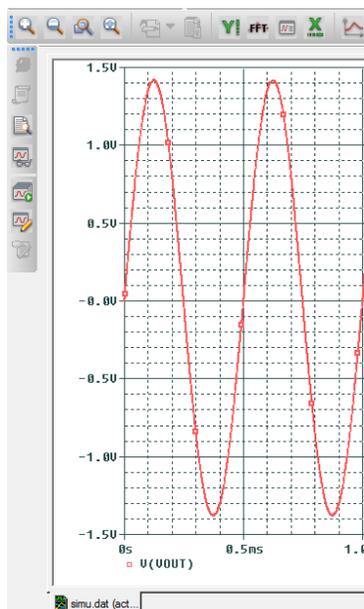


Figura 17. Respuesta en el dominio del tiempo

Para $V_{in} = 2\text{mV}$, $V_{out} = 1.397$

$A_v = V_{out} / V_{in} = 1.397 / 2\text{m} = 698.56$

NAME	Q_Q1	Q_Q2	Q_Q3	Q_Q4
MODEL	Q2N2222A2	Q2N2222A3	Q2N2222A5	Q2N2222A6
IB	2.34E-05	2.03E-05	1.43E-05	1.04E-05
IC	5.85E-03	5.09E-03	3.58E-03	2.59E-03
VBE	8.20E-01	8.16E-01	8.07E-01	7.99E-01
VBC	-1.10E+01	-1.18E+01	-1.13E+01	-2.52E+00
VCE	1.18E+01	1.26E+01	1.21E+01	3.32E+00
BETADC	2.50E+02	2.50E+02	2.50E+02	2.50E+02
GM	2.26E-01	1.97E-01	1.39E-01	1.00E-01
RPI	1.10E+03	1.27E+03	1.80E+03	2.50E+03
RX	0.00E+00	0.00E+00	0.00E+00	0.00E+00
RO	1.00E+12	1.00E+12	1.00E+12	1.00E+12
CBE	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBC	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CJS	0.00E+00	0.00E+00	0.00E+00	0.00E+00
BETAAC	2.50E+02	2.50E+02	2.50E+02	2.50E+02
CBX/CBX2	0.00E+00	0.00E+00	0.00E+00	0.00E+00
FT/FT2	3.60E+18	3.13E+18	2.21E+18	1.59E+18

Figura 18. Polarización de etapas con BJT en Orcad

NAME	J_J1	J_J2
MODEL	J2sk163A1	J2sk163A4
ID	3.62E-03	4.15E-03
VGS	-3.72E-01	-3.69E-01
WDS	5.99E+00	5.93E+00
GM	8.76E-03	1.00E-02
GDS	3.42E-05	3.92E-05
CGS	8.10E-12	8.10E-12
CGD	6.86E-12	6.88E-12

Figura 19. Polarización de etapas con JFET en Orcad

Tomando los valores de las corrientes y la ganancia tenemos la siguiente tabla comparativa:

Magnitud	Valor Diseño	Valor Orcad	Error%
Id1	3.6mA	3.62mA	0.5%
Ic2	5.78mA	5.85mA	1.2%
Ic3	5.19mA	5.09mA	1.9%
Id4	4.1mA	4.15mA	1.21%
Ic5	3.51mA	3.58mA	1.99%
Ic6	2.6mA	2.59mA	0.38%
Av	700	698.56	0.2%

Tabla 9. Valor teórico vs Valor simulado

Error promedio= 1.05%

12.2.2 Desarrollo de algoritmo

Con base en la metodología desarrollada se elaboró el siguiente diagrama de flujo:

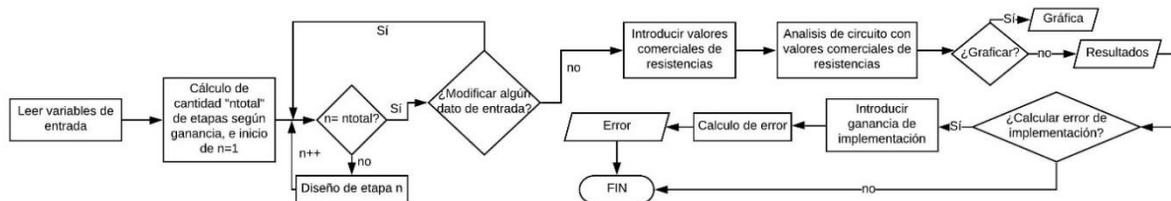


Figura 20. Diagrama de flujo de Diseño

12.3 Codificación de algoritmo

12.3.1 Elección del lenguaje de programación

3 de los lenguajes de programación más usados en la actualidad son: Python, Java y C++. Teniendo en cuenta los criterios de: tipo de licencia, curva de aprendizaje y la capacidad de funcionar en múltiples plataformas se decidió usar lenguaje de programación JAVA y la plataforma NetBeans para el desarrollo del proyecto.

12.3.2 Codificación de algoritmo

Con la herramienta elegida se desarrolló una interfaz gráfica que se compone de dos módulos principales: Módulo teórico y módulo de diseño y análisis.

12.3.2.1 MÓDULO TEÓRICO



Figura 21. Panel principal Seleccionar “Diseño y análisis”



Figura 22. Módulo teórico

En la figura 21 se observa el panel principal. Al hacer “click” en el botón “TEORÍA” se accede al módulo teórico que se observa en la figura 22, donde se presenta información referente a amplificadores multietapas: transistores, configuraciones y ecuaciones de análisis.

Por medio del seleccionador se despliegan los temas principales para poder acceder a la información como se observa en la figura 23.



Figura 23. Seleccionador del módulo teórico

12.3.2.2 MÓDULO DE DISEÑO Y ANÁLISIS



Figura 24. Panel principal Seleccionar “Diseño y análisis”

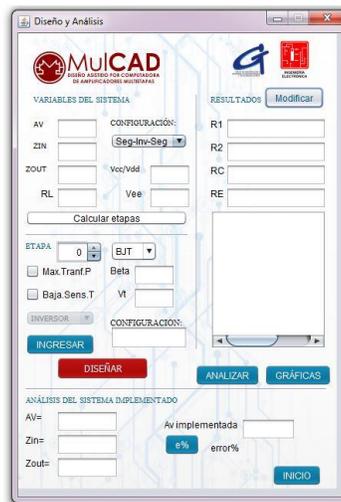


Figura 25. Módulo de Diseño y análisis

Al hacer “click” en el botón “DISEÑO Y ANÁLISIS” que se resalta en la figura 24, se accede al módulo de Diseño y Análisis que se observa en la figura 25. Este módulo está compuesto por 4 secciones: “Variables del sistema”, “Etapa a etapa”, “Resultados” y “Análisis del sistema” como se observa en la figura 26.

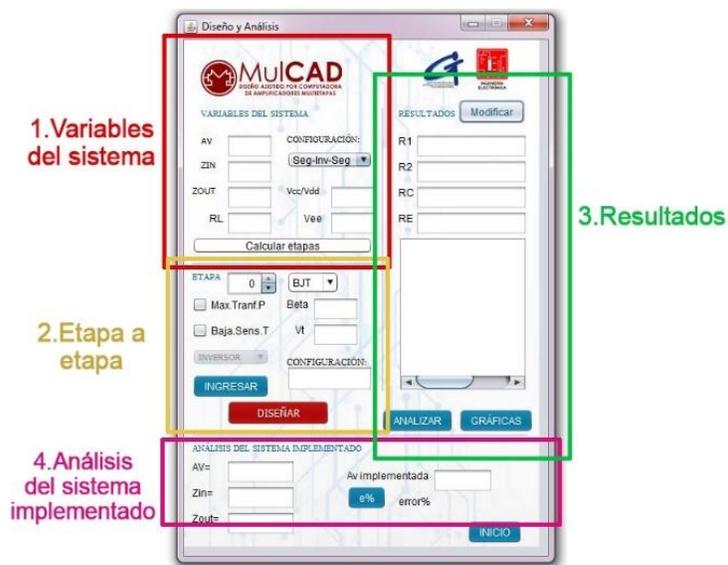


Figura 26. Estructura del módulo de diseño y análisis

12.3.2.2.1 VARIABLES DEL SISTEMA

En variables del sistema se ingresan las variables de entrada: Ganancia de voltaje (A_v), Impedancia de entrada (Z_{in}), impedancia de salida (Z_{out}), Fuentes de corriente continua (V_{cc} o V_{dd} y V_{ee}) y resistencia de carga (R_L). En configuración se elige el modo de diseño. El software tiene dos modos de diseño: “Seg-inv-Seg” es la configuración recomendada por MULCAD para multietapas, la cual se compone de un seguidor al inicio, n-etapas intermedias inversoras de amplificación y un seguidor de etapa final. El segundo modo de diseño se llama “Manual”, en este modo el software le permite etapa por etapa elegir si se desea “seguidor” o “inversor”

The image shows a software interface for MULCAD. At the top left is the MULCAD logo with the text 'DISEÑO ASISTIDO POR COMPUTADORA DE AMPLIFICADORES MULTIEtapas'. Below the logo is the title 'VARIABLES DEL SISTEMA'. The interface contains several input fields: 'AV', 'ZIN', 'ZOUT', and 'RL' are arranged vertically on the left. To the right of these is a 'CONFIGURACIÓN:' dropdown menu currently showing 'Seg-Inv-Seg'. Further right are input fields for 'Vcc/Vdd' and 'Vee'. At the bottom center is a large button labeled 'Calcular etapas'.

Figura 27. Sección Variables del sistema

En configuración: “Seg-Inv-Seg” se ingresan: A_v , Z_{in} , Z_{out} , R_L y fuentes CC. Al dar click en el botón “Calcular etapas”, El software calcula cuantas etapas son necesarias y su ganancia respectiva.

Figura 28. Ingreso de variables y cálculo de etapas en modo: “Seg-Inv-Seg”

En configuración “manual” se ingresa el número de etapas que se diseñarán, Zin, Zout, RL y fuentes CC. En este modo el botón “calcular etapas” estará desactivado ya que el número de etapas ya fueron ingresadas y sus respectivas ganancias serán ingresadas en la sección “ETAPA POR ETAPA”.

Figura 29. Ingreso de variables en configuración Manual

12.3.2.2.2 ETAPA A ETAPA

Figura 30. Etapa por etapa en modo: Seg-Inv-Seg

Figura 31. Etapa por etapa en modo: Manual

En la sección ETAPA POR ETAPA se encuentra un seleccionador que permite elegir la etapa a la cual le queremos ingresar valores o visualizar en la sección de resultados.

Los valores a ingresar en el modo: “Seg-Inv-Seg” son los siguientes (como se observa en la Figura 14):

1. Tipo de transistor: BJT o JFET
2. Ganancia de corriente (BETA) y Voltaje térmico (V_t) en el caso de transistor BJT o Corriente de saturación (I_{dss}) y Voltaje de activación (V_p) en el caso de transistor JFET.
3. Condiciones iniciales: Máxima transferencia de potencia y/o baja sensibilidad a variaciones de temperatura

Los valores a ingresar en el modo: “Manual” son los siguientes (como se observa en la Figura 15):

1. Tipo de transistor: BJT o JFET
2. Ganancia de corriente (BETA) y Voltaje térmico (V_t) en el caso de transistor BJT o Corriente de saturación (I_{dss}) y Voltaje de activación (V_p) en el caso de transistor JFET.
3. Condiciones iniciales: Máxima transferencia de potencia y/o baja sensibilidad a variaciones de temperatura
4. Ganancia
5. Configuración de la etapa

En esta sección, si se está diseñando en el modo “Seg-Inv-Seg” no se puede ingresar la configuración de la etapa ya que estas están programadas por el software para ser un seguidor a la

entrada, n etapas inversoras y un seguidor de salida, como tampoco se podrá ingresar su respectiva ganancia ya que esta fue calculada anteriormente.

En el modo “manual” por el contrario, se ingresan los mismos valores y condiciones que en el modo “Seg-Inv-Seg” pero además, se debe seleccionar etapa por etapa, su respectiva configuración: inversor o seguidor, y en caso de elegir inversor, se debe ingresar el respectivo valor de la ganancia, el cual debe ser negativo. **ES IMPORTANTE RECORDAR QUE LAS GANANCIAS DE LOS INVERSORES SON NEGATIVAS**, si se ingresan positivas se presentarán errores en los resultados.

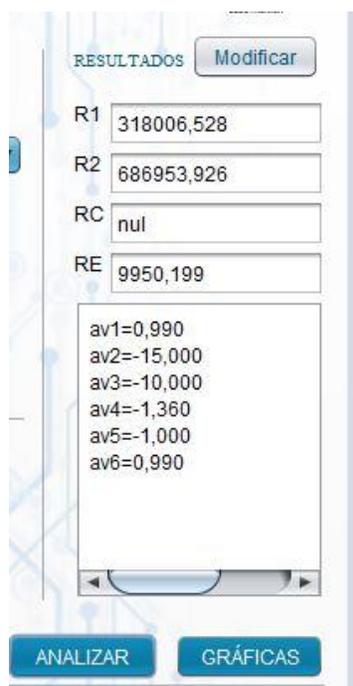
Cada vez que se ingresen los datos correspondientes a una etapa y se vaya a pasar a modificar los de otra, se debe hacer “click” en el botón “INGRESAR” para que se guarden los datos. Al terminar de configurar las etapas deseadas se hace “click” en el botón “DISEÑAR” para que se ejecute el diseño. Este botón estará desactivado en el modo “manual” hasta que se ingresen todas las ganancias.

El modo “SEG-INV-SEG” permite dar click en el botón “DISEÑAR” sin ingresar los datos etapa a etapa. En este caso el software asignará por defecto los siguientes valores:

BJT	BETA	200
	Vt	24mV
JFET	Idss	8mA
	Vp	-1.2V

Tabla 10. Valor de parámetros de transistores por defecto

12.3.2.2.3 RESULTADOS



The screenshot displays the 'RESULTADOS' section of a software interface. At the top left, the word 'RESULTADOS' is written in blue, and to its right is a blue button labeled 'Modificar'. Below this, there are four input fields for resistances: R1 (318006,528), R2 (686953,926), RC (nul), and RE (9950,199). Below these fields is a scrollable area containing a list of calculated values: av1=0,990, av2=-15,000, av3=-10,000, av4=-1,360, av5=-1,000, and av6=0,990. At the bottom of the interface, there are two blue buttons: 'ANALIZAR' on the left and 'GRÁFICAS' on the right.

Figura 32. Sección: Resultados

En la sección RESULTADOS se pueden observar etapa por etapa el valor de las resistencias obtenidas. En el caso de aparecer “null” es debido a que las etapas seguidoras no tienen resistencia de colector (para BJT) o de drenaje (para JFET). Para elegir la etapa a visualizar se hace con el selector de la sección ETAPA A ETAPA.

Esta sección tiene un botón de “modificar” para que se ingresen los valores comerciales o reales de resistencias a usar y a dicho circuito se le puede recalculan los valores de polarización, ganancia de voltaje y factores de pequeña señal con los valores de las resistencias ingresados dando click en el botón “ANALIZAR”.

Para modificar los valores de las resistencias se debe hacer etapa por etapa usando el selector de la sección “ETAPA A ETAPA”

Al hacer click en el botón “GRAFICAS” se despliega una ventana donde se observan los esquemáticos de cada etapa y sus respectivas variables como se observa en la Figura 17.

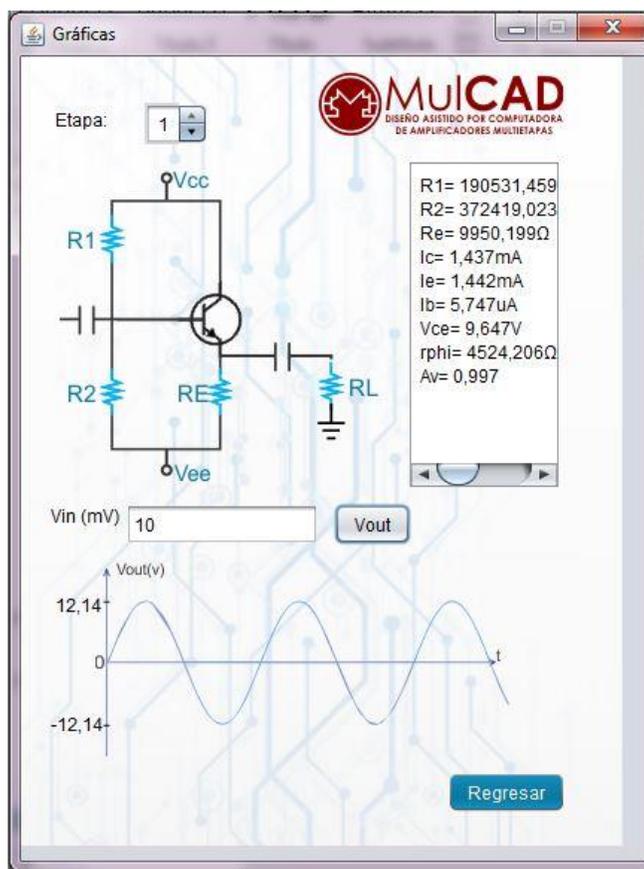


Figura 33. Ventana: Gráficas

Por medio del selector, se elige la etapa a visualizar y en el espacio “Vin” se ingresa el valor de entrada en “mV” para graficar la señal de salida del amplificador multietapas.

Con el botón “REGRESAR” se cierra el panel y se ingresa nuevamente al módulo de diseño y análisis.

12.3.2.2.4 ANÁLISIS DEL SISTEMA

ANÁLISIS DEL SISTEMA IMPLEMENTADO

AV= 1213,649

Zin= 120,000KΩ

Zout= 23,172Ω

Av implementada 1200

e% 1,125%

INICIO

Figura 34. Sección: Análisis del sistema implementado

Al hacer “click” en el botón “ANALIZAR” que se encuentra en la sección “RESULTADOS”, en la sección “ANÁLISIS DEL SISTEMA IMPLEMENTADO” se observan los valores de AV, ZIN y ZOUT del sistema. Aquí también se puede ingresar el valor de la ganancia que se obtiene en la implementación del circuito y obtener el error experimental al dar click en el botón “e%”.

12.3.3 Elección del nombre

Al objeto virtual de aprendizaje desarrollado se le asignó el nombre: MULCAD. La sigla “MUL” por “Multietapas” y la sigla “CAD” del término en inglés “computer-aided design” que significa “Diseño asistido por computadora”



Figura 35. Isologotipo de MULCAD

12.3.4 Exportar código .exe

Mediante el uso de la herramienta “Launch4j” se exportó el ejecutable de MULCAD

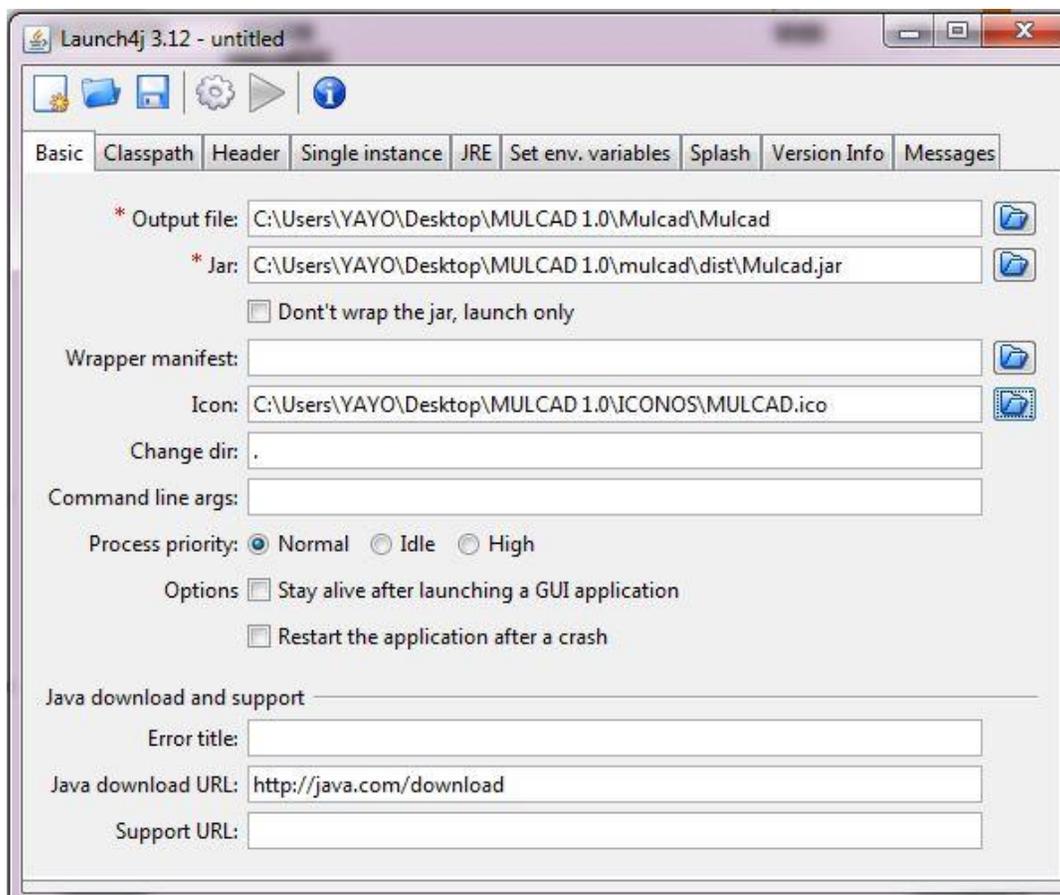


Figura 36. Exportando archivo .EXE con la herramienta “Launch4j”

Este ejecutable requiere solamente de la herramienta jre1.8.0_201 de JAVA. La cual se encuentra disponible de forma libre en internet y no necesita ser instalada. Si al momento de ejecutar el archivo MULCAD.exe el computador no cuenta con esta herramienta, el software le remitirá automáticamente a un enlace donde puede ser descargada. Después de descargada dicha herramienta no se requiere de internet para que el software funcione.

12.4 Evaluación de algoritmo

12.4.1 Pruebas de diseño

Las condiciones de diseño son: “Máxima transferencia de potencia”, “Máxima linealidad”, “Baja sensibilidad a variaciones de temperatura”. Con dichas condiciones se obtienen las siguientes combinaciones:

- Máxima transferencia de potencia - Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

- Máxima transferencia de potencia - Máxima Linealidad

- Máxima transferencia de potencia - Baja sensibilidad a variaciones de temperatura

- Máxima transferencia de potencia

- Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

- Máxima Linealidad

- Baja sensibilidad a variaciones de temperatura

- Sin condiciones

Utilizando la herramienta desarrollada se realizaron 2 diseños por cada combinación de las anteriormente mencionadas eligiendo una ganancia diferente para cada una, para un total de 16 diseños de amplificadores multietapas.

12.4.2 Simulación de pruebas

Para transistores de Unión bipolar se usó la referencia 2n2222 y para transistores de efecto de campo se usó la referencia 2n3819 debido a criterios de estabilidad, economía y disponibilidad en el mercado. Se adquirieron transistores y se caracterizaron para usar valores reales en la simulación ya que algunas de estas se implementarían luego. Los diseños obtenidos se simularon en la herramienta computacional OrCAD para calcular los errores en las variables: I_d (Corrientes de drenaje), V_{DS} (Voltajes drenaje-fuente), I_c (Corrientes de colector), V_{CE} (Voltajes colector-emisor), r_{π} (Resistencias π), Z_{in} (Impedancias de entrada), Z_{out} (Impedancias de salida) y Ganancias de voltaje (A_v). Los resultados se pueden observar en las siguientes tablas:

Diseño 1 - Máxima transferencia de potencia - Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

Esquemático

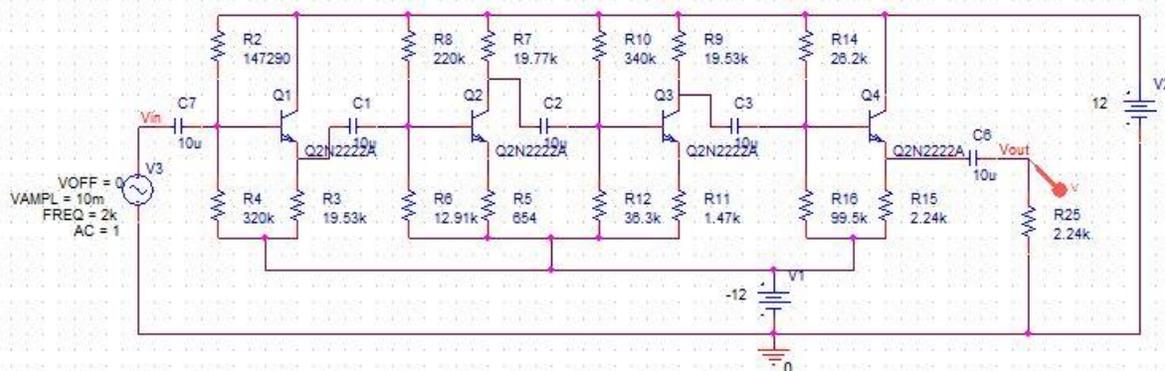


Figura 37. Esquemático - Diseño 1

Salidas

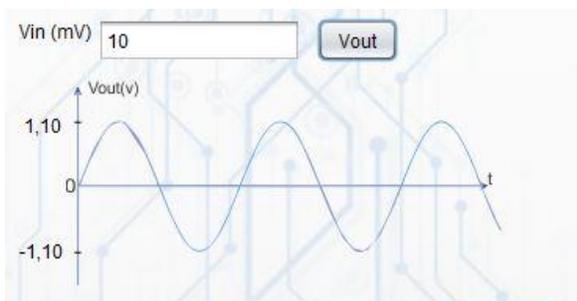


Figura 38. Señal de salida Diseño - 1 MulCAD

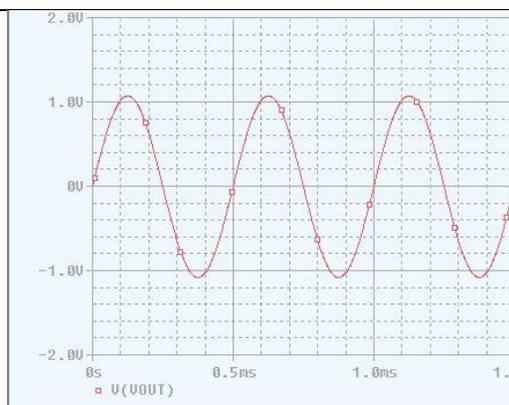


Figura 39. Figura 38. Señal de Salida - Diseño 1 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%		
DISEÑO 1 4ETAPAS	ETAPA 1	147290	320000	0	19530	Zin	97861	98998	1,161852			
	ETAPA 2	220000	12910	19770	654	Zout	3,55	3,6	1,408451			
	ETAPA 3	340000	36300	19530	1470	Av	110,79	110,13	-0,595722			
	ETAPA 4	26200	99500	0	2240							
	MulCAD	OrCAD		MulCAD	OrCAD		MulCAD	OrCAD		MulCAD	OrCAD	
	Ic(A)	Ic(A)	e%	Vce(V)	Vce(V)	e%	rphi (Ω)	rphi (Ω)	e%	Av	Av	e%
ETAPA 1	0,000772	0,000774	0,25839793	8,83	8,8	-0,340909091	5620	5580	-0,717	0,997	0,9974	0,040104
ETAPA 2	0,000739	0,000783	5,61941252	8,91	8,8	-1,25	7000	6640	-5,422	-17,2	-17,1	-0,584795
ETAPA 3	0,000923	0,000939	1,70394036	4,4	4,43	0,677200903	5500	5480	-0,365	-6,5	-6,49	-0,154083
ETAPA 4	0,007623	0,00761	-0,1708279	6,81	6,82	0,146627566	532	530	-0,377	0,994	0,995	0,100503
ē%			1,85273074			-0,191770155			-1,72			-0,149568

Figura 40. Cálculo de errores - Diseño 1

Tabla 11. Resultados – Diseño 1

Diseño 2 – Máxima transferencia de potencia - Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

Esquemático

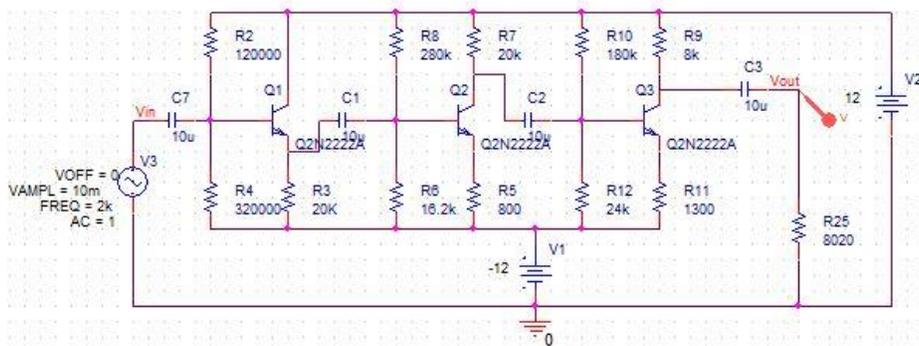


Figura 41. Esquemático - Diseño 2

Salidas

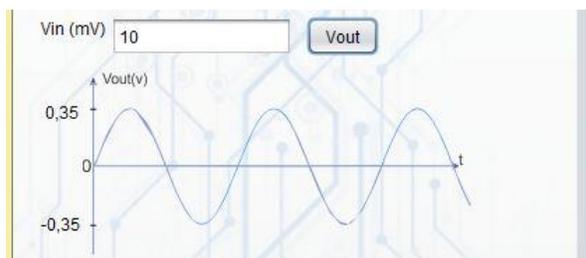


Figura 42. Señal de salida - Diseño 2 - MulCAD

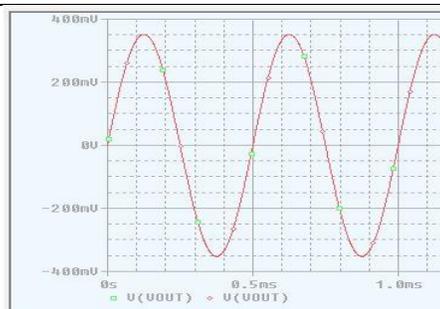


Figura 43. Señal de salida - Diseño 2 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%					
DISEÑO 2	ETAPA 1	120000	320000	0	20000	Zin	84809	84500	-0,36434812						
	ETAPA 2	280000	16200	20000	800	Zout	8000	8000	0						
	ETAPA 3	180000	24000	8000	1300	Av	34,6608	35,176752	1,48857499						
		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%					
ETAPA 1	Ic(A)	0,000804	0,000806	0,24813896	Vce(V)	7,816	7,92	1,31313131	rphi (Ω)	4819	4895	1,5526047	0,996	0,989	-0,70778564
ETAPA 2	Ic(A)	0,00058	0,000567	-2,29276896	Vce(V)	11,941	12	0,49166667	rphi (Ω)	8567	8700	1,52873563	-11,6	-11,7	0,85470085
ETAPA 3	Ic(A)	0,001427	0,001433	0,41870202	Vce(V)	10,716	11,1	3,45945946	rphi (Ω)	3479	3500	0,6	-3	-3,04	1,31578947
è%				-0,54197599				1,75475248				1,22711344			0,48756823

Figura 44. Cálculo de errores - Diseño 2

Tabla 12. Resultados - Diseño 2

Diseño 3 – Máxima transferencia de potencia - Máxima Linealidad

Esquemático

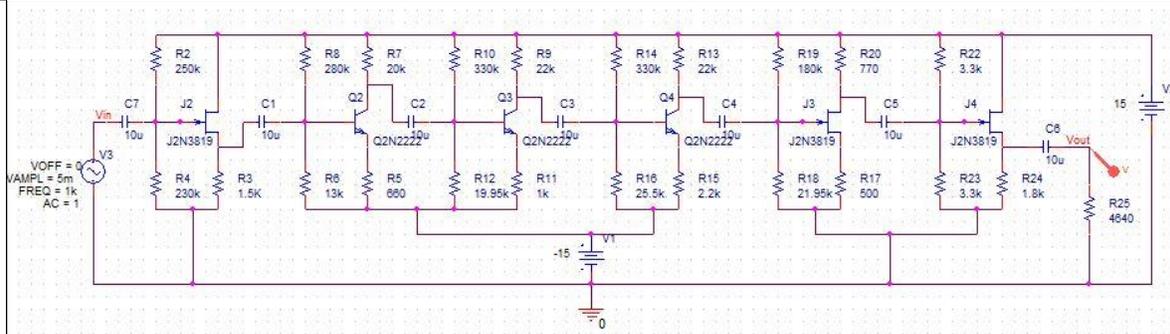


Figura 45. Esquemático Diseño 3

Salidas



Figura 46. Señal de Salida Diseño 3 - MulCAD

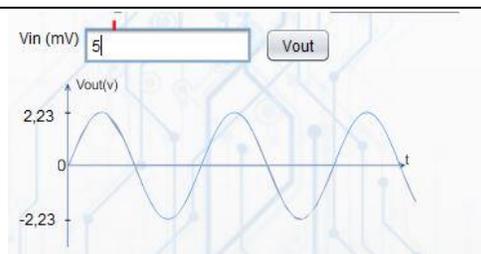


Figura 47. Señal de Salida Diseño 3 - OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω) ó RD(Ω)	RE(Ω) ó RS(Ω)			MulCAD	OrCAD	e%		
DISEÑO 3 6ETAPAS	ETAPA 1	250000	230000	0	1500	Zin	98900	97800	-1,11223458			
	ETAPA 2	280000	13000	20000	660	Zout	8000	8000	0			
	ETAPA 3	330000	19950	22000	1000	Av	465,625352	465,038481	-0,12603937			
	ETAPA 4	330000	25500	22000	2200							
	ETAPA 5	180000	21950	770	500							
	ETAPA 6	3300	3300	0	1800							
		MulCAD	OrCAD			MulCAD	OrCAD					
	Ic(A) ó Id(A)	Ic(A) ó Id(A)	e%	Vce(V) ó Vds(V)	Vce(V) ó Vds(V)	e%	rphi (Ω)	rphi (Ω)	e%	Av	Av	e%
ETAPA 1	0,005	0,0051	1,96078431	7,46	7,46	0	6540	6537	-0,04589261	0,98	0,97	-1,03092784
ETAPA 2	0,000775	0,000774	-0,12919897	14	13,89	-0,791936645	5940	5899	-0,69503306	-14,6	-14,7	0,68027211
ETAPA 3	0,000854	0,000863	1,0428737	10,1	10,3	1,941747573	6860	6799	-0,89719076	-8,76	-8,66	-1,15473441
ETAPA 4	0,000588	0,000578	-1,73010381	15,8	15,433	-2,378021124				-3,102	-3,15	1,52380952
ETAPA 5	0,00461	0,00456	-1,09649123	9,15	9,14	-0,10940919				-1,2	-1,23	2,43902439
ETAPA 6	0,00496	0,00488	-1,63934426	6,07	6,07	0				0,998	0,972	-2,67489712
è%			-0,26524671			-0,222936564			-0,54603881			-0,03624222

Figura 48. Cálculo de errores – Diseño 3

Tabla 13. Resultados - Diseño 3

Diseño 4 – Máxima transferencia de potencia - Máxima Linealidad

Esquemático

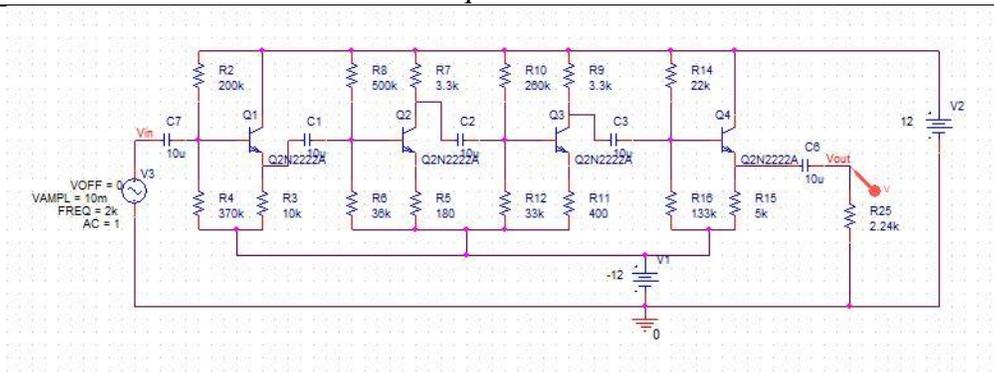


Figura 49. Esquemático Diseño 4

Salidas

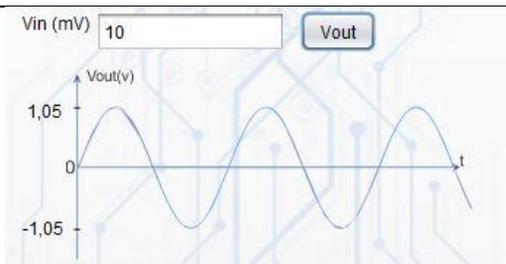


Figura 50. Señal de Salida - Diseño 4 MulCAD



Figura 51. Señal de Salida - Diseño 4 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%		
DISEÑO 4	ETAPA 1	200000	370000	0	10000	Zin	119900	118300	-1,33444537			
	ETAPA 2	500000	36000	3300	180	Zout	8,3	8,09	-2,53012048			
	ETAPA 3	260000	33000	3300	400	Av	116,001524	112,710016	-2,83746942			
	ETAPA 4	22000	133000	0	5000							
	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%
	Ic(A)	Ic(A)		Vce(V)	Vce(V)		rphi (Ω)	rphi (Ω)		Av	Av	
ETAPA 1	0,00137	0,00134	-2,23880597	10	10,2	1,96078431	3160	3200	1,25	0,998	0,989	-0,91001011
ETAPA 2	0,00234	0,0024	2,5	15,8	15,6	-1,28205128	2220	2190	-1,36986301	-15,7	-15,6	-0,64102564
ETAPA 3	0,00345	0,00342	-0,87719298	11,2	10,98	-2,00364299	1490	1500	0,66666667	-7,34	-7,32	-0,27322404
ETAPA 4	0,00384	0,00388	1,03092784	4,6	4,56	-0,87719298	1050	1020	-2,94117647	0,994	0,998	0,4008016
ğ%			0,10373222			-0,55052573			-0,5985932			-0,35586455

Figura 52. Cálculo de errores - Diseño 4

Tabla 14. Resultados - Diseño 4

Diseño 5 - Máxima transferencia de potencia - Baja sensibilidad a variaciones de temperatura

Esquemático

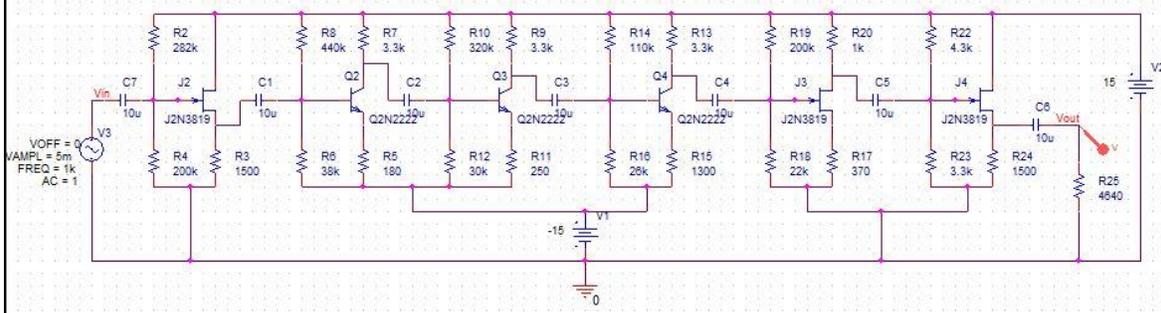


Figura 53. Esquemático Diseño 5

Salidas

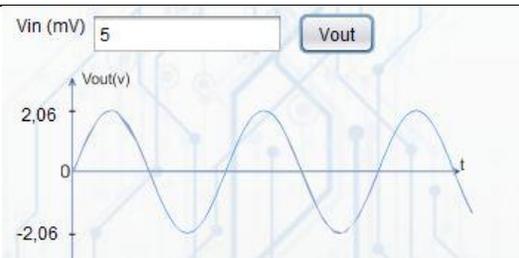


Figura 54. Señal de Salida - Diseño 5 MulCAD

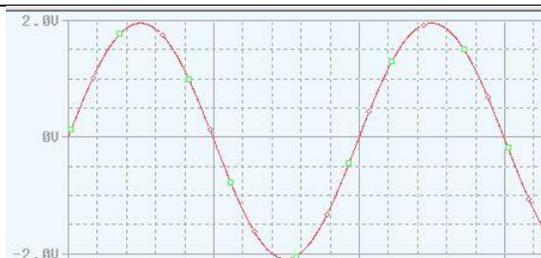


Figura 55. Señal de Salida - Diseño 5 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω) ó RD(Ω)	RE(Ω) ó RS(Ω)			MulCAD	OrCAD	e%		
DISEÑO 5 6ETAPAS	ETAPA 1	282000	200000	0	1500	Zin	117000	120000	2,56410256			
	ETAPA 2	440000	38000	3300	180	Zout	10,1	9,89	-2,07920792			
	ETAPA 3	320000	30000	3300	250	Av	412,976404	413,510797	0,12940035			
	ETAPA 4	110000	26000	3300	1300							
	ETAPA 5	200000	22000	1000	370							
	ETAPA 6	4300	3300	0	1500							
		MulCAD	OrCAD	MulCAD	OrCAD	MulCAD	OrCAD	MulCAD	OrCAD	e%		
		Ic(A) ó Id(A)	Ic(A) ó Id(A)	ce(V) ó Vds(V)	Vce(V) ó Vds(V)	e%	rphi (Ω)	rphi (Ω)	e%	Av	Av	e%
ETAPA 1	0,004	0,00442	9,50226244	8,37	7,46	-12,19839142				0,98	0,99	1,01010101
ETAPA 2	0,000775	0,000774	-0,12919897	14	13,89	-0,791936645	6540	6537	-0,04589261	-14,96	-14,99	0,20013342
ETAPA 3	0,000854	0,000863	1,0428737	10,1	10,3	1,941747573	5940	5899	-0,69503306	-10,94	-11	0,54545455
ETAPA 4	0,000588	0,000578	-1,73010381	15,8	15,433	-2,378021124	6860	6799	-0,89719076	-2,15	-2,19	1,82648402
ETAPA 5	0,0056	0,00559	-0,17889088	7,35	9,14	19,58424508				-1,2	-1,19	-0,84033613
ETAPA 6	0,0053	0,00527	-0,56925996	7,1	6,07	-16,96869852				0,998	0,972	-2,67489712
%				1,32294709		-1,80184251			-0,54603881			0,01115662

Figura 56. Cálculo de errores – Diseño 5

Tabla 15. Resultados - Diseño 5

Diseño 6 - Máxima transferencia de potencia - Baja sensibilidad a variaciones de temperatura

Esquemático

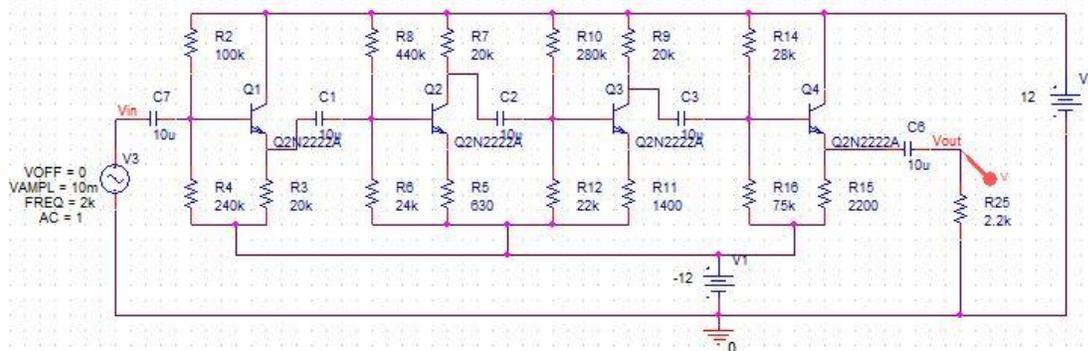


Figura 57. Esquemático - Diseño 6

Salidas

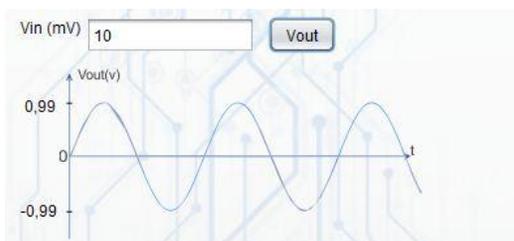


Figura 58. Señal de Salida - Diseño 6 MulCAD

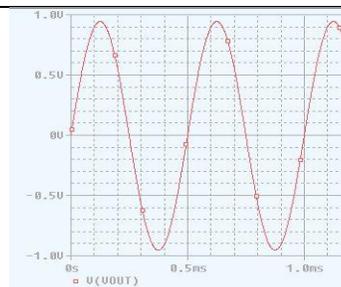


Figura 59. Señal de Salida - Diseño 6 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%						
DISEÑO 6 4ETAPAS	ETAPA 1	100000	240000	0	20000	Zin	69611	71000	1,99537429							
	ETAPA 2	440000	24000	20000	630	Zout	3,57	3,65	2,24089636							
	ETAPA 3	280000	22000	20000	1400	Av	100,024025	102,286125	2,26155645							
	ETAPA 4	28000	75000	0	2200											
	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%				
ETAPA 1	Ic(A)	0,000793	0,000787	-0,76238882	Vce(V)	8,08	8,16	0,98039216	rphi (Ω)	5490	5498	0,14550746	Av	0,997	0,998	0,1002004
ETAPA 2	Ic(A)	0,00061	0,000641	4,83619345	Vce(V)	11	10,8	-1,85185185	rphi (Ω)	8110	8100	-0,12345679	Av	-14,5	-14,65	1,02389078
ETAPA 3	Ic(A)	0,000638	0,000653	2,29709035	Vce(V)	10,35	10	-3,5	rphi (Ω)	7890	7777	-1,45300244	Av	-6,85	-7,01	2,28245364
ETAPA 4	Ic(A)	0,007281	0,0071	-2,54929577	Vce(V)	8,45	8,28	-2,0531401	rphi (Ω)	568	552	-2,89855072	Av	0,997	0,998	0,1002004
ẽ%				0,9553998				-1,60614995				-1,08237563				0,87668631

Figura 60. Cálculo de errores – Diseño 6

Tabla 16. Resultados - Diseño 6

Diseño 7 - Máxima transferencia de potencia

Esquemático

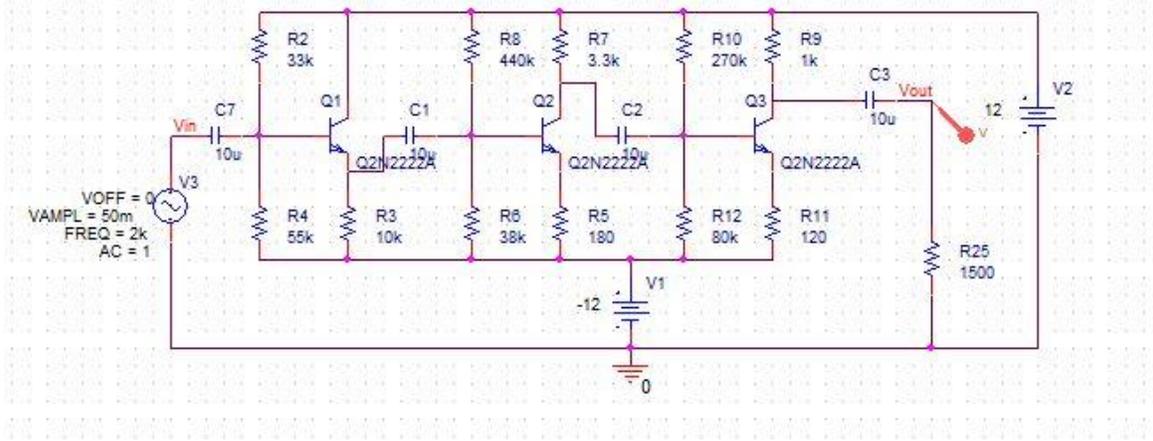


Figura 61. Esquemático - Diseño 7

Salidas

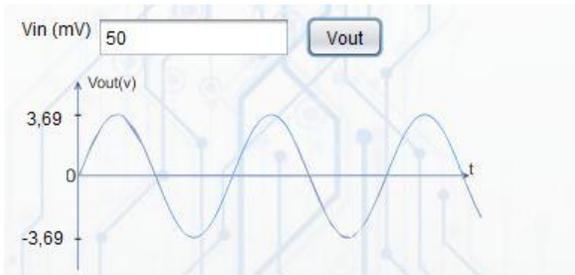


Figura 62. Señal de Salida - Diseño 7 MulCAD

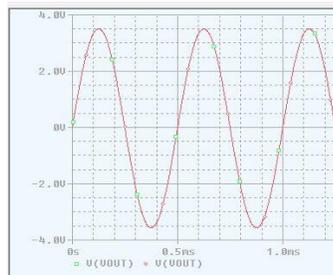


Figura 63. Señal de Salida - Diseño 7 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%				
DISEÑO 7	ETAPA 1	33000	55000	0	10000	Zin	2045	2099	2,6405868					
	ETAPA 2	440000	38000	3300	180	Zout	1000	1000	0					
	ETAPA 3	270000	80000	1000	120	Av	73,708219	71,8212716	-2,56002302					
		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%				
ETAPA 1	Ic(A)	0,00139	0,0014	0,71428571	Vce(V)	9,98	9,97	-0,1003009	2770	2780	0,35971223	0,997	0,998	0,1002004
ETAPA 2	Ic(A)	0,00304	0,00309	1,61812298	Vce(V)	13,4	13,04	-2,7607362	1630	1590	-2,51572327	-15,097	-14,999	-0,65337689
ETAPA 3	Ic(A)	0,0105	0,0107	1,86915888	Vce(V)	12,3	12,09	-1,7369727	471	466	-1,07296137	-4,897	-4,798	-2,06335973
ē%				1,40052252				-1,53266993			-1,07632414			-0,87217874

Figura 64. Cálculo de errores – Diseño 7

Tabla 17. Resultados - Diseño 7

Diseño 9 - Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

Esquemático

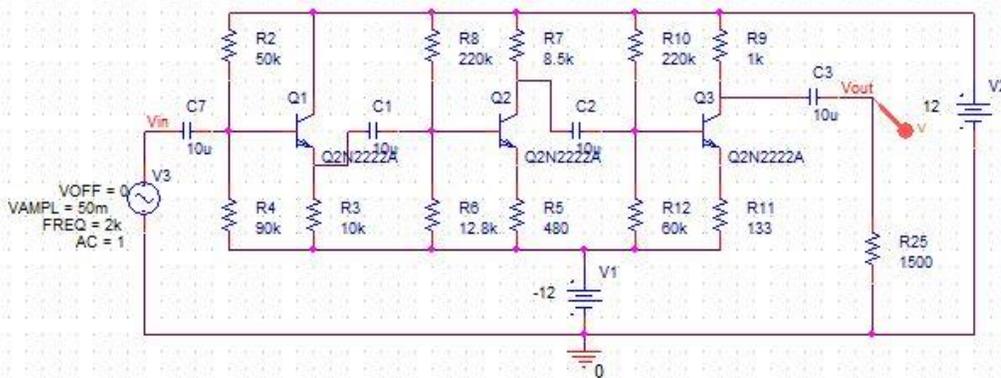


Figura 69. Esquemático - Diseño 9

Salidas

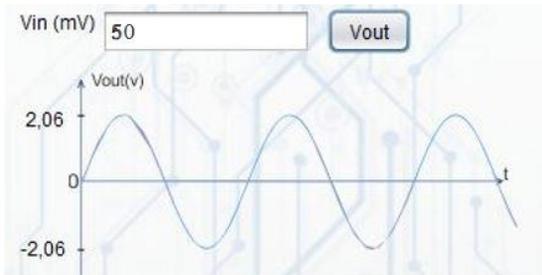


Figura 70. Señal de Salida - Diseño 9 MulCAD

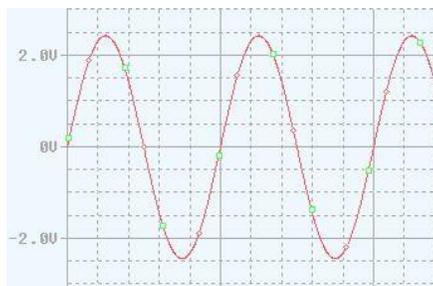


Figura 71. Señal de Salida - Diseño 9 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)	Zin	MulCAD	OrCAD	e%						
DISEÑO 9 3ETAPAS	ETAPA 1	50000	90000	0	10000	Zin	51555	50200	-2,62826108						
	ETAPA 2	220000	12800	8500	480	Zout	1000	1000	0						
	ETAPA 3	220000	60000	1000	133	Av	51,2222708	52,1515745	1,81425713						
		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%					
ETAPA 1	Ic(A)	0,00142	0,00141	-0,70921986	Vce(V)	9,66	9,56	-1,0460251	rphi (Ω)	2710	2789	2,83255647	0,997	0,997	0
ETAPA 2	Ic(A)	0,000999	0,001	0,1	Vce(V)	15	14,87	-0,87424344	rphi (Ω)	4940	4950	0,2020202	-11,6	-11,65	0,42918455
ETAPA 3	Ic(A)	0,0113	0,011	-2,72727273	Vce(V)	11,2	11,5	2,60869565	rphi (Ω)	4370	4370	0	-4,429	-4,49	1,35857461
8%				-1,1121642				0,2294757				1,01152556			0,59591972

Figura 72. Cálculo de errores – Diseño 9

Tabla 19. Resultados - Diseño 9

Diseño 10 - Máxima Linealidad - Baja sensibilidad a variaciones de temperatura

Esquemático

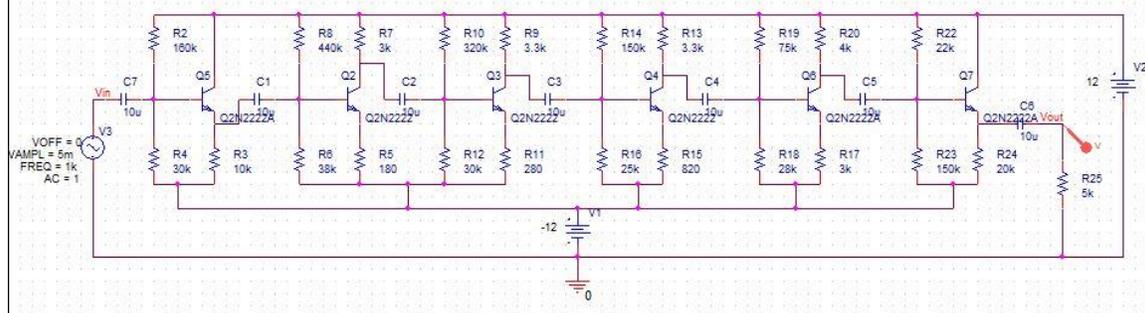


Figura 73. Esquemático - Diseño 10

Salidas

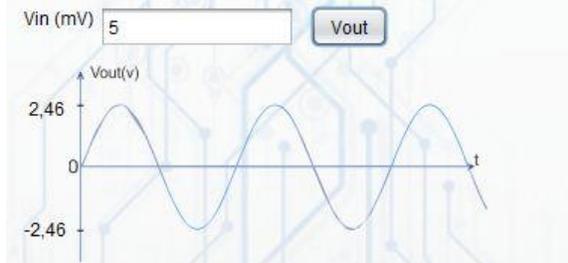


Figura 74. Señal de Salida - Diseño 10 MulCAD



Figura 75. Señal de Salida - Diseño 10 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%
DISEÑO 10	ETAPA 1	160000	30000	0	10000	Zin	25014	24979	-0,13992164	
	ETAPA 2	440000	38000	3000	180	Zout	26,034	25,921	-0,43404778	
	ETAPA 3	320000	30000	3300	280	Av	495,494535	487,690325	-1,57503448	
	ETAPA 4	150000	25000	3300	820					
	ETAPA 5	75000	28000	4000	3000					
	ETAPA 6	22000	150000	0	20000					

		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%		
ETAPA 1	Ic(A) ó Id(A)	0,001	0,00099	-1,01010101	Vce(V) ó Vds(V)	3,84	3,782	-1,53358012	rphi (Ω)	4400	4422	0,49751244	0,993	0,98	-1,32653061
ETAPA 2	Ic(A) ó Id(A)	0,00307	0,00301	-1,99335548	Vce(V) ó Vds(V)	14,2	14,2	0	rphi (Ω)	1650	1649	-0,06064281	-13,84	-14	1,14285714
ETAPA 3	Ic(A) ó Id(A)	0,00298	0,00295	-1,01694915	Vce(V) ó Vds(V)	13,3	12,987	-2,41010241	rphi (Ω)	1700	1690	-0,59171598	-9,75	-9,52	-2,41596639
ETAPA 4	Ic(A) ó Id(A)	0,00273	0,00276	1,08695652	Vce(V) ó Vds(V)	12,7	12,98	2,15716487	rphi (Ω)	1480	1498	1,20160214	-3,4	-3,405	0,14684288
ETAPA 5	Ic(A) ó Id(A)	0,000311	0,000309	-0,64724919	Vce(V) ó Vds(V)	20,9	21,01	0,52356021	rphi (Ω)	15300	15329	0,1891839	-1,09	-1,11	1,8018018
ETAPA 6	Ic(A) ó Id(A)	0,00187	0,00182	-2,74725275	Vce(V) ó Vds(V)	10,9	11	0,90909091	rphi (Ω)	2680	2707	0,99741411	0,9978	0,9879	-1,00212572
Σ%				-1,05465851				-0,05897776				0,37222563			-0,27552015

Figura 76. Cálculo de errores – Diseño 10

Tabla 20. Resultados - Diseño 10

Diseño 11 - Máxima Linealidad

Esquemático

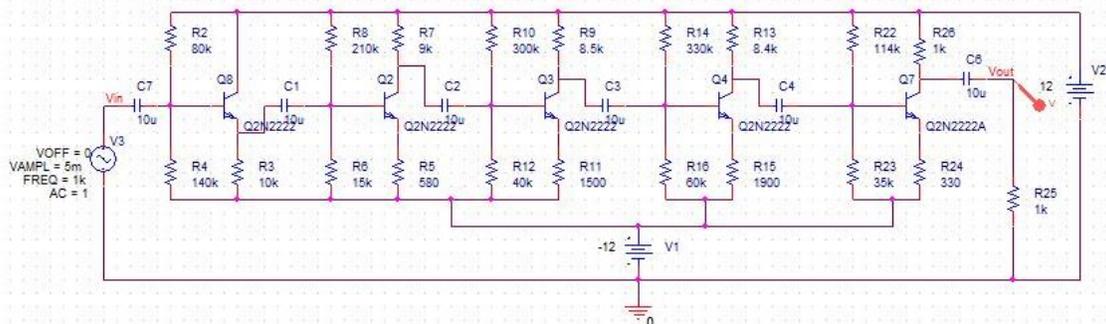


Figura 77. Esquemático - Diseño 11

Salidas

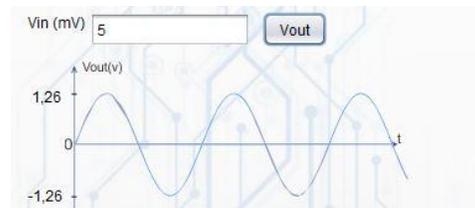


Figura 78. Señal de Salida - Diseño 11 MulCAD

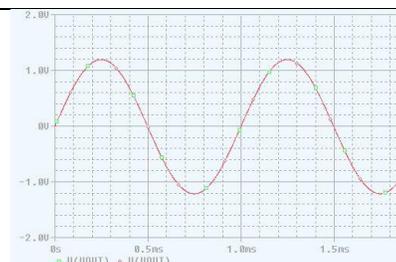


Figura 79. Señal de Salida - Diseño 11 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)				MulCAD	OrCAD	e%		
DISEÑO 11	ETAPA 1	80000	140000	0	10000	Zin	49899	51000	2,20645704				
	ETAPA 2	210000	15000	9000	580	Zout	1000	999,23	-0,077				
	ETAPA 3	300000	40000	8500	1500	Av	239,982118	232,927145	-2,93979098				
	ETAPA 4	330000	60000	8400	1900								
	ETAPA 5	114000	35000	1000	330								
		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%			
ETAPA 1	0,00141	0,00139	-1,43884892	9,8	9,7	-1,03092784	3440	rphi (Ω)	3453	0,37648422	0,98	0,97	-1,03092784
ETAPA 2	0,00125	0,00122	-2,45901639	12	11,89	-0,92514718	4050	rphi (Ω)	4020	-0,74626866	-11,6	-11,59	-0,08628128
ETAPA 3	0,00121	0,00118	-2,54237288	11,9	11,67	-1,97086547	4190	rphi (Ω)	4180	-0,23923445	-4,6	-4,56	-0,87719298
ETAPA 4	0,0013	0,001299	-0,07698229	10,6	10,45	-1,4354067	3100	rphi (Ω)	3099	-0,03226847	-3,08	-3,07	-0,3257329
ETAPA 5	0,0105	0,0104	-0,96153846	9,99	9,98	-0,1002004	517	rphi (Ω)	515	-0,38834951	-1,49	-1,48	-0,67567568
ẽ%			-1,49575179			-1,09250952				-0,20592738			-0,59916213

Figura 80. Cálculo de errores – Diseño 11

Tabla 21. Resultados - Diseño 11

Diseño 12 - Máxima Linealidad

Esquemático

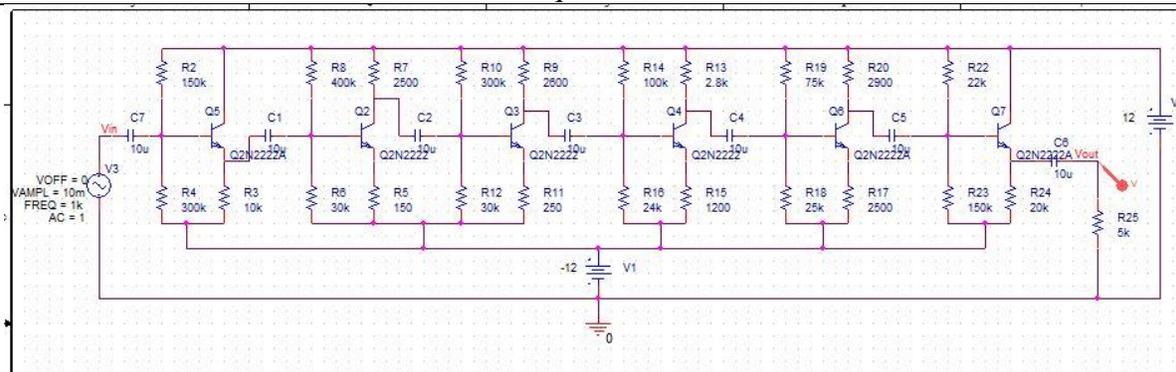


Figura 81. Esquemático - Diseño 12

Salidas

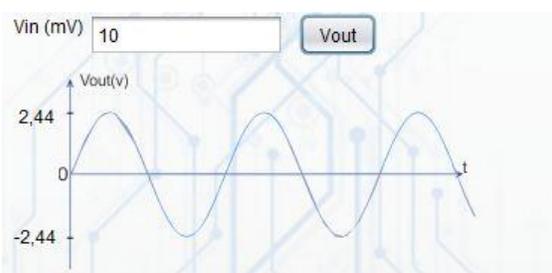


Figura 82. Señal de Salida - Diseño 12 MulCAD

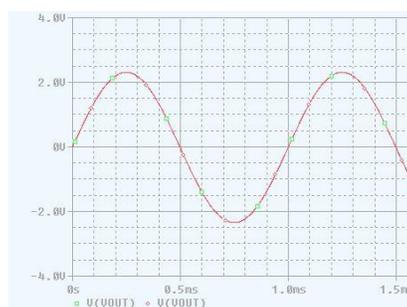


Figura 83. Señal de Salida - Diseño 12 OrCAD

Cálculo de errores

			R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)		MulCAD	OrCAD	e%
DISEÑO 10 6ETAPAS	ETAPA 1		150000	30000	0	10000	Zin	96175	95000	-1,22173122
	ETAPA 2		400000	30000	2500	150	Zout	23	22,85	-0,65217391
	ETAPA 3		300000	30000	2600	250	Av	243,674171	250,313399	2,72463337
	ETAPA 4		100000	24000	2800	1200				
	ETAPA 5		75000	25000	2900	2500				
	ETAPA 6		22000	150000	0	20000				
	MulCAD	OrCAD					MulCAD	OrCAD		
	Ic(A) ó Id(A)	Ic(A) ó Id(A)	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD		
				Vce(V)	Vce(V)	e%	rphi (Ω)	rphi (Ω)	e%	Av
ETAPA 1	0,001456	0,001432	-1,67597765	3,78	3,77	-0,26525199	4502	4530	0,61810155	0,991
ETAPA 2	0,0034	0,0035	2,85714286	16	16,01	0,06246096	1700	1702	0,11750881	-13,962
ETAPA 3	0,00305	0,00303	-0,66006601	14	14,2	1,4084507	1440	1450	0,68965517	-8,825
ETAPA 4	0,00243	0,00252	3,57142857	12,3	12,4	0,80645161	1400	1430	2,0979021	-2
ETAPA 5	0,000311	0,000312	0,32051282	20,07	20,02	-0,24975025	14002	14100	0,69503546	-1
ETAPA 6	0,00202	0,002032	0,59055118	13	13,3	2,2556391	2530	2543	0,51120724	0,9978
ε%			0,83393196			0,66966669			0,78823505	

Figura 84. Cálculo de errores – Diseño 12

Tabla 22. Resultados - Diseño 12

Diseño 14 - Baja sensibilidad a variaciones de temperatura

Esquemático

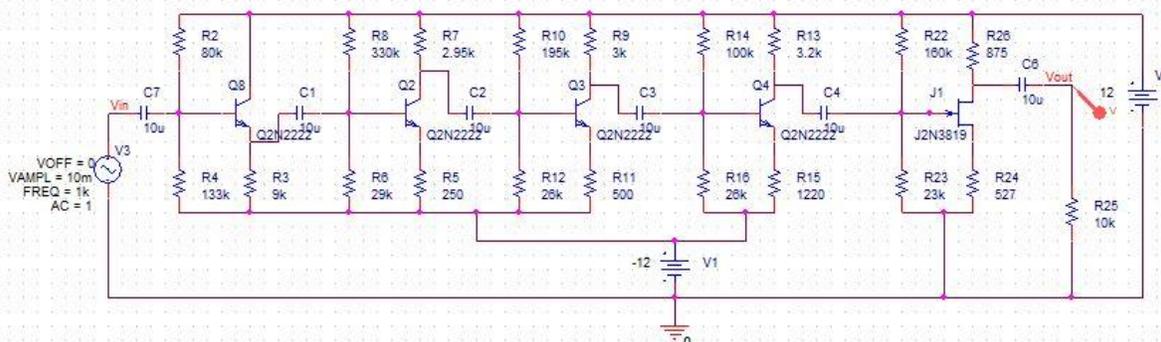


Figura 89. Esquemático - Diseño 14

Salidas

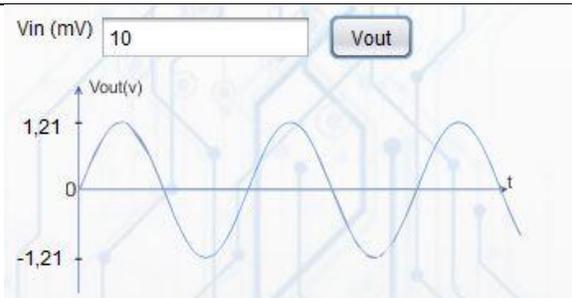


Figura 90. Señal de Salida - Diseño 14 MulCAD



Figura 91. Señal de Salida - Diseño 14 OrCAD

Cálculo de errores

DISEÑO 13 SETAPAS	ETAPA 1			ETAPA 2			ETAPA 3			ETAPA 4			ETAPA 5			Zin	Zout	Av			
	80000	133000	0	9000	330000	29000	2950	250	195000	26000	3000	500	100000	26000	3200				1220	160000	23000
																			48874	48987	0,23120678
																			875	874	-0,11428571
																			129,958014	127,4207	-1,95241098
	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%			
	Ic(A) ó Id(A)	Ic(A) ó Id(A)		Vce(V) ó Vds(V)	Vce(V) ó Vds(V)		rphi (Ω)	rphi (Ω)		Av	Av										
ETAPA 1	0,00153	0,00152	-0,65789474	10,1	10	-1	3190	3185	-0,15698587	0,999	0,989	-1,01112235									
ETAPA 2	0,00294	0,00293	-0,34129693	14,6	14,5	-0,689655172	1730	1699	-1,82460271	-9,88	-10	1,2									
ETAPA 3	0,00326	0,00326	0	12,6	12,4	-1,612903226	1560	1600	2,5	-5,09	-5,03	-1,19284294									
ETAPA 4	0,00305	0,00307	0,6514658	10,5	10,3	-1,941747573	1320	1320	0	-2,23	-2,21	-0,90497738									
ETAPA 5	0,00361	0,00368	1,90217391	6,93	7	1				-1,16	-1,159	-0,08628128									
ē%			0,31088961			-0,848861194			0,12960286			-0,39904479									

Figura 92. Cálculo de errores – Diseño 14

Tabla 24. Resultados - Diseño 14

Diseño 15 – Sin Condiciones

Esquemático

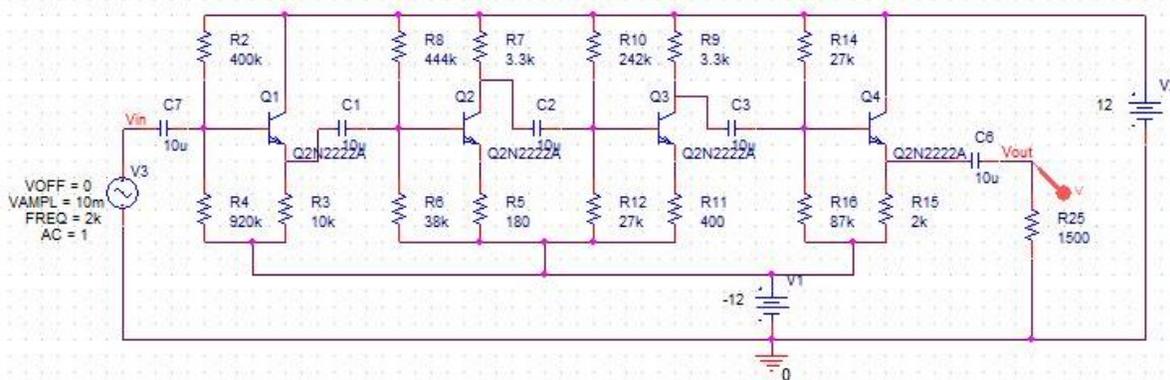


Figura 93. Esquemático - Diseño 15

Salidas

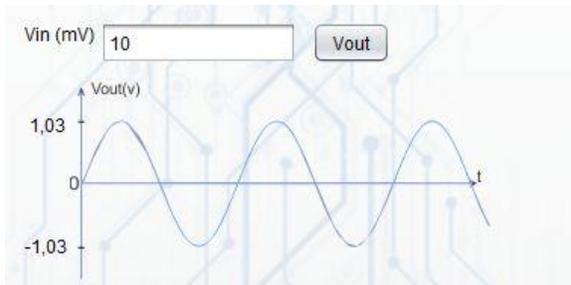


Figura 94. Señal de Salida - Diseño 15 MulCAD

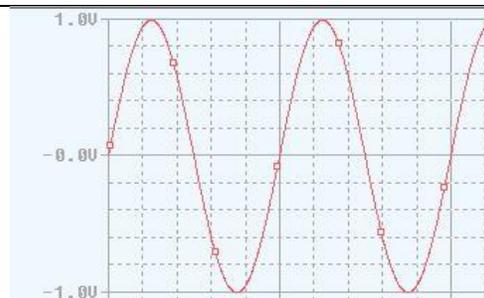


Figura 95. Señal de Salida - Diseño 15 OrCAD

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)			MulCAD	OrCAD	e%					
DISEÑO 15	ETAPA 1	400000	920000	0	10000	Zin	250964	248900	-0,82242871						
	ETAPA 2	444000	38000	3300	180	Zout	3,103	3,15	1,51466323						
	ETAPA 3	242000	27000	3300	400	Av	104,33999	104,05689	-0,27132436						
	ETAPA 4	27000	87000	0	2000										
		MulCAD	OrCAD	e%	MulCAD	OrCAD	e%	MulCAD	OrCAD	e%					
ETAPA 1	Ic(A)	0,00136	0,00135	-0,74074074	Vce(V)	10,3	10,01	-2,8971029	rphi (Ω)	3180	3200	0,625	0,998	0,997	-0,1003009
ETAPA 2	Ic(A)	0,00307	0,00305	-0,6557377	Vce(V)	13,3	13	-2,30769231	rphi (Ω)	1700	1709	0,52662376	-14,999	-15	0,00666667
ETAPA 3	Ic(A)	0,00307	0,00306	-0,32679739	Vce(V)	12,7	12,5	-1,6	rphi (Ω)	1680	1700	1,17647059	-6,904	-7	1,37142857
ETAPA 4	Ic(A)	0,00815	0,00812	-0,36945813	Vce(V)	7,59	7,6	0,13157895	rphi (Ω)	4950	5000	1	0,994	0,994	0
ē%				-0,52318349				-1,66830406				0,83202359			0,31944858

Figura 96. Cálculo de errores – Diseño 15

Tabla 25. Resultados - Diseño 15

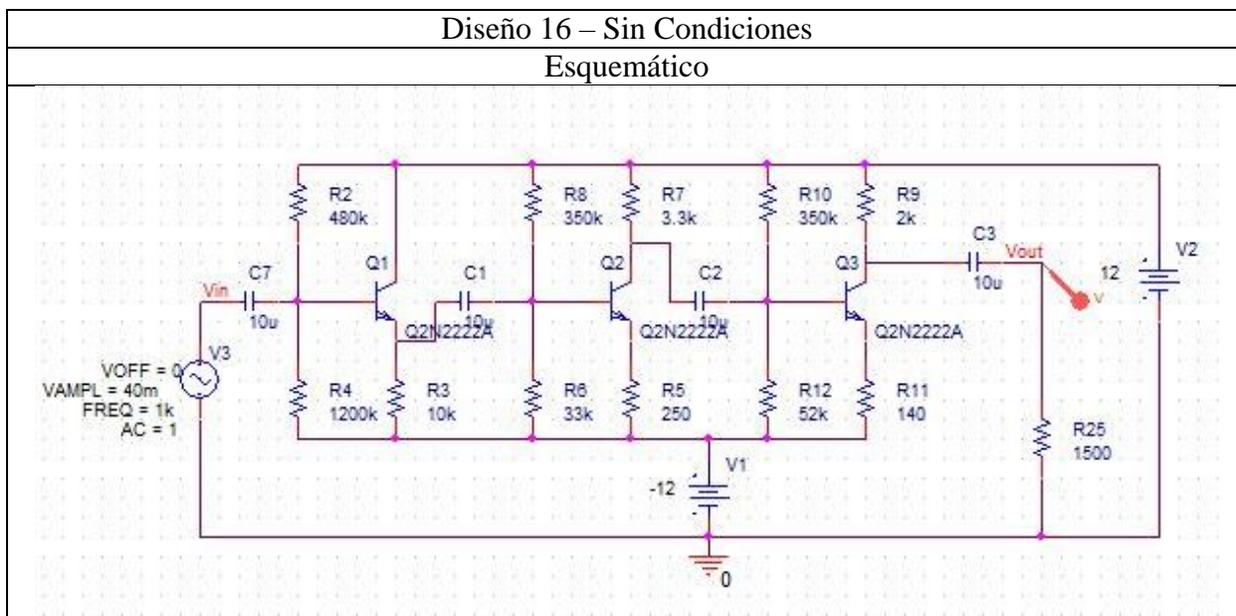


Figura 97. Esquemático - Diseño 16

Salidas

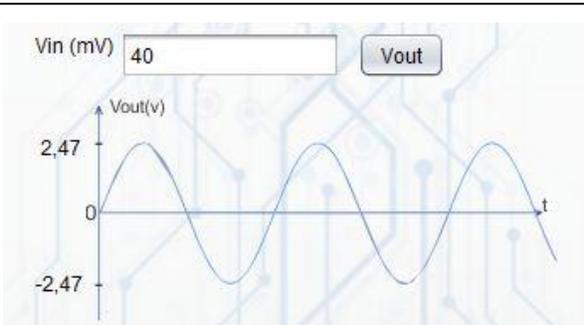


Figura 98. Señal de Salida - Diseño 16 MulCAD



Figura 99. Señal de Salida - Diseño 16 OrCAD

Cálculo de errores

				R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)								
DISEÑO 16				ETAPA 1	480000	1200000	0	10000	Zin	MulCAD	OrCAD	e%			
3ETAPAS				ETAPA 2	350000	33000	3300	250	Zout	2000	2001	0,05			
				ETAPA 3	350000	52000	2000	140	Av	64,327527	64,75194	0,65976887			
				MulCAD		OrCAD									
				Ic(A)	Ic(A)	e%	Vce(V)	Vce(V)	e%	rphi (Ω)	rphi (Ω)	e%	Av	Av	e%
ETAPA 1				0,00132	0,00133	0,7518797	10,7	10,8	0,92592593	2910	2990	2,67558528	0,989	0,991	0,20181635
ETAPA 2				0,00309	0,0031	0,32258065	13	12,98	-0,1540832	1600	1562	-2,43277849	-10,95	-10,89	-0,55096419
ETAPA 3				0,00605	0,0061	0,81967213	11,1	11	-0,90909091	817	801	-1,99750312	-5,94	-6	1
ë%						0,63137749			-0,0457494		-0,58489878				0,21695072

Figura 100. Cálculo de errores – Diseño 16

Tabla 26. Resultados - Diseño 16

En las tablas de la 11 a la 26 se observa el error promedio de las variables evaluadas de todas las etapas. Con dichos errores se calculó el error promedio de las variables en todos los diseños simulados y los resultados se pueden observar a continuación:

Diseño	# ETAPAS	ē% en Corrientes	ē% en Voltajes	ē% en Av etapas	ē% en rphi	e% en Zin	e% en Zout	e% en Av total
1	4	1,85	1,19	1,72	0,14	1,16	1,4	0,59
2	3	0,54	1,75	1,22	0,48	0,36	0	1,48
3	6	0,26	0,22	0,54	0,036	1,11	0	0,12
4	4	0,1	0,55	0,59	0,35	1,33	2,5	2,83
5	6	1,32	1,8	0,54	0,01	2,56	2,07	0,12
6	4	0,95	1,6	1,08	0,87	1,99	2,24	2,26
7	3	1,4	1,53	1,07	0,87	2,64	0	2,56
8	5	0,92	0,24	0,71	0,56	0,5	0	2,75
9	3	1,11	0,22	1,01	0,59	2,62	0	1,81
10	6	1,05	0,05	0,37	0,27	0,1	1,4	1,5
11	5	1,49	1,09	0,2	0,59	2,2	0,07	2,9
12	6	0,83	0,66	0,78	0,44	1,22	0,65	2,72
13	5	0,34	0,6	0,09	0,26	0,5	0	1,34
14	5	0,31	0,84	0,12	0,39	0,23	0,11	1,95
15	4	0,52	1,66	0,83	0,31	0,82	1,51	0,27
16	3	0,63	0,04	0,58	0,21	2,74	0,05	0,65
ē% parcial		0,85125	0,8775	0,715625	0,3985	1,38	0,75	1,615625
ē% total	0,941214286							

Figura 101. Errores promedio en todos los diseños simulados

Se observa que el error promedio total de las pruebas de simulación fue de 0,9412.

12.4.3 Implementación de pruebas

Se solicitó una estación de laboratorio al departamento de electricidad y electrónica de la Universidad Francisco de Paula Santander y fue asignada la estación 5. Los instrumentos de medición utilizados en este proyecto junto con sus características se pueden observar en la siguiente imagen:

ESTACIÓN DE TRABAJO 5**1. PC**

- MARCA: HP
- MODELO: CORE i7
- SERIAL: MXL7232QLY
- NO. DE INVENTARIO: 167002.101.4157

2. OSCILOSCOPIO DIGITAL

- MARCA: ATTEN
- MODELO: ADS1102CML
- SERIAL: T 1G/015 000290
- NO. DE INVENTARIO: 166001.230.081
- 2 PUNTAS DE OSCILOSCOPIO ATENUADAS POR X1-X10

3. FUENTE DIGITAL

- MARCA: ATTEN
- MODELO: TRIPLE OUTPUT DC POWER SUPPLY
- SERIAL: S/N 14T33DC021302029
- NO. DE INVENTARIO: 166001.238.090

4. GENERADOR DE SEÑAL

- MARCA: MCP
- MODELO: SG2120DDS
- SERIAL: S/N 13AH2452
- NO. DE INVENTARIO: 166001.225.026
- 1 PUNTA DE GENERADOR

5. MULTÍMETRO DIGITAL

- MARCA: UNI-T
- MODELO: UT132C
- SERIAL:
- NO. DE INVENTARIO:
- PUNTAS MULTIMETRO

RESPONSABLE: KARLA CECILIA PUERTO LÓPEZ COD: 04184

TESISTA: LUIS EDUARDO RAMIREZ CARVAJAL - CÓD: 1161452 – C.C. 1.090.445078

E-MAIL: luiseduardorc@ufps.edu.co

CEL: 3153437000

FECHA DE RECIBIDO: 28/08/2019

FECHA DE ENTREGA: 11/09/2019

ENTREGADO POR: FREDDY LEONARDO FLOREZ

CORREO: freddyflorez@ufps.edu.co

Figura 102. Instrumentos de medición utilizados en el proyecto



Figura 103. Estación de laboratorio

De las pruebas simuladas se eligieron algunas para ser implementadas. Los diseños implementados fueron: Diseño 1, Diseño 2, Diseño 3, Diseño 7, Diseño 9, Diseño 15 y Diseño 16. Los resultados obtenidos se pueden observar en las siguientes tablas:

Circuito 1
Implementación

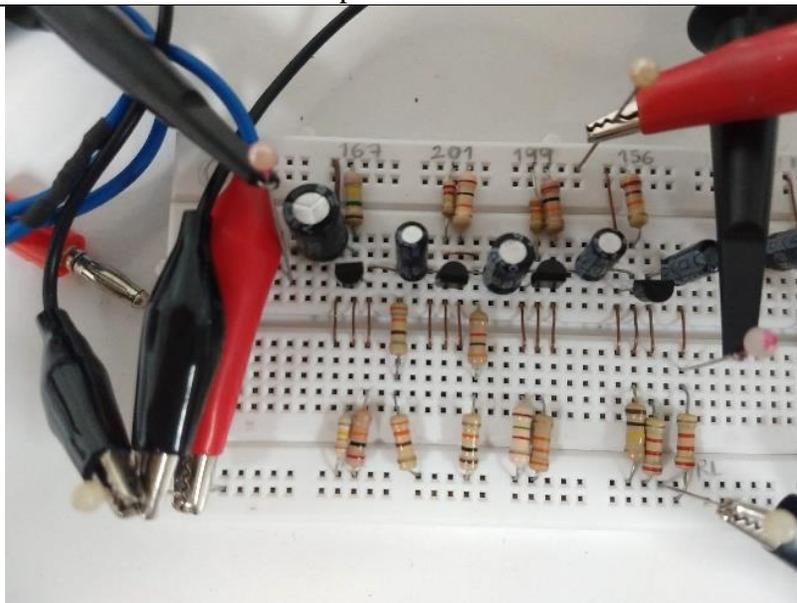


Figura 104. Implementación – Circuito 1

Salidas

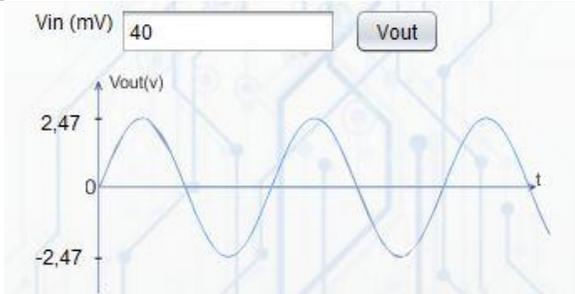


Figura 105. Señal de Salida - Circuito 1 MulCAD

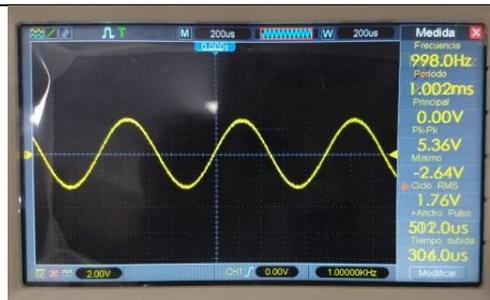


Figura 106. Señal de Salida - Circuito 1 Laboratorio

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)		MulCAD	Laboratorio	e%
	ETAPA 1	147290	320000	0	19530	Zin	97861	100000	2,18575326
CIRCUITO 1	ETAPA 2	220000	12910	19770	654	Zout	3,55	3,6	1,4084507
DISEÑO 1	ETAPA 3	340000	36300	19530	1470	Av	110,795812	104,328252	-5,83736899
4 ETAPAS	ETAPA 4	26200	99500	0	2240				
	MulCAD	Laboratorio		MulCAD	Laboratorio		MulCAD	Laboratorio	
	Ic(A)	Ic(A)	e%	Vce(V)	Vce(V)	e%	Av	Av	e%
ETAPA 1	0,000772	0,00076	-1,57894737	8,83	9	1,88888889	0,997	0,98	-1,73469388
ETAPA 2	0,000739	0,000745	0,80536913	8,91	9,1	2,08791209	-17,2	-17	-1,17647059
ETAPA 3	0,000923	0,000935	1,28342246	4,4	4,34	-1,38248848	-6,5	-6,3	-3,17460317
ETAPA 4	0,007623	0,0079	3,50632911	6,81	7	2,71428571	0,994	0,994	0
8%			1,00404333			1,32714955			-1,52144191

Figura 107. Cálculo de errores – Circuito 1

Tabla 27. Resultados implementación - Circuito 1

Circuito 2 Implementación

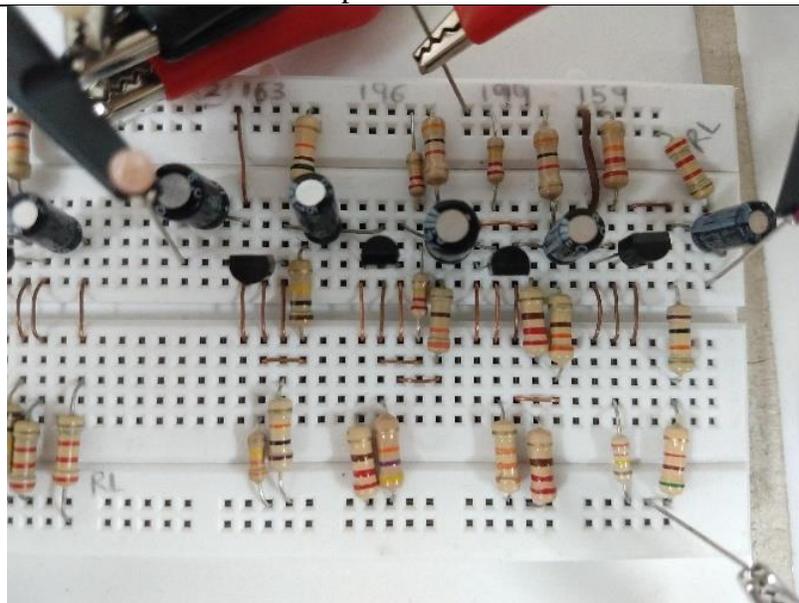


Figura 108. Implementación – Circuito 2

Salidas

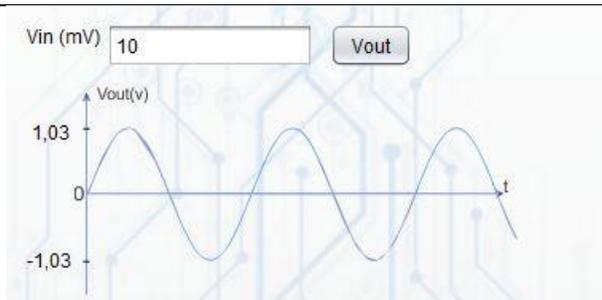


Figura 109. Señal de Salida - Circuito 2 MulCAD

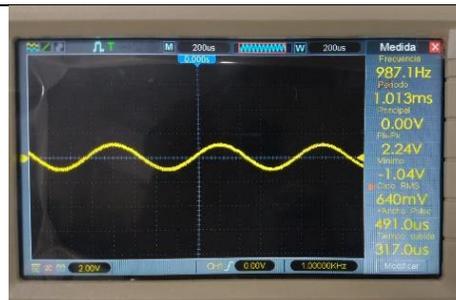


Figura 110. Señal de Salida - Circuito 2 Laboratorio

Cálculo de errores

		R1(Ω)	R2(Ω)	RC(Ω)	RE(Ω)		MulCAD	Laboratorio	e%	
	ETAPA 1	400000	920000	0	10000	Zin	250964	260000	3,60051641	
CIRCUITO 2	ETAPA 2	444000	38000	3300	180	Zout	3,103	3,2	3,12600709	
DISEÑO 15	ETAPA 3	242000	27000	3300	400	Av	104,33999	108,237254	3,73515907	
4 ETAPAS	ETAPA 4	27000	87000	0	2000					
		MulCAD	Laboratorio		MulCAD	Laboratorio		MulCAD	Laboratorio	
		Ic(A)	Ic(A)	e%	Vce(V)	Vce(V)	e%	Av	Av	e%
	ETAPA 1	0,00136	0,00138	1,44927536	10,3	10,5	1,9047619	0,998	0,99	-0,80808081
	ETAPA 2	0,00307	0,00309	0,64724919	13,3	13,5	1,48148148	-14,999	-15,2	1,32236842
	ETAPA 3	0,00307	0,0031	0,96774194	12,7	13	2,30769231	-6,904	-7,2	4,11111111
	ETAPA 4	0,00815	0,0083	1,80722892	7,59	7,8	2,69230769	0,994	0,999	0,5005005
	ẽ%			1,21787385			2,09656085			1,28147481

Figura 111. Cálculo de errores – Circuito 2

Tabla 28. Resultados Implementación – Circuito 2

Se calculó el error promedio de las variables en todos los circuitos implementados y los resultados se pueden observar en la siguiente imagen:

CIRCUITO	ETAPAS	ẽ% en Corrientes	ẽ% en Voltajes	ẽ% en Av etapas	e% en Zin	e% en Zout	e% en Av total
1	4	1	1,32	1,52	2,18	1,4	5,83
2	4	1,21	2,09	1,28	3,6	3,12	3,73
3	6	3,01	0,87	1,01	1,11	0	6,42
4	3	2,93	2,82	0,88	0,22	2,5	2,7
5	3	5,68	1,41	0,81	3,4	0	2,49
6	3	2,14	1,66	0,94	2,6	0	2,58
7	3	1,02	1,76	1,17	2,6	0	3,3
ẽ% parcial		2,427142857	1,704285714	1,087142857	2,244285714	1,002857143	3,864285714
ẽ% total	2,055						

Figura 132. Errores en implementación

Se observa que el error promedio total de las pruebas de implementación fue de 2,055.

12.4.4 Impacto educativo

Se seleccionó un grupo de estudiantes del curso “Electrónica 3” de la Universidad Francisco de Paula Santander a los cuales se les realizó una encuesta de diagnóstico de algunos conceptos básicos sobre el tema de estudio. Las preguntas fueron:

1. ¿Qué es un transistor?
2. Mencione una o más diferencias entre transistor bipolar y efecto de campo
3. ¿Qué es el análisis en pequeña señal y para qué sirve?
4. ¿Cuál es la función de un amplificador multietapas? Mencione una aplicación
5. En un acople ideal ¿Cómo deben ser las impedancias de entrada y salida?

6. Mencione 3 factores que pueden afectar la ganancia de voltaje
7. ¿Para qué sirve la configuración seguidora?
8. ¿Qué implica que la configuración inversora posea ganancia negativa?
9. ¿Qué significa que un amplificador tenga máxima excursión?
10. Para máxima transferencia de potencia ¿Cómo debe ser la impedancia de salida?

En la siguiente imagen se puede observar el listado de los estudiantes a los cuales se les realizó la prueba con la colaboración del docente Darwin Cardozo.

		GESTIÓN DE TALENTO HUMANO			CÓDIGO	FO-GH-01
		LISTADO DE ASISTENCIA			VERSIÓN	02
					FECHA	03/04/2017
					PÁGINA	1 de 3
ELABORÓ		REVISÓ			APROBÓ	
Líder Gestión de Talento Humano		Equipo Operativo de Calidad			Líder de Calidad	
NOMBRE DEL EVENTO: Prueba Académica a Objeto Virtual de aprendizaje para diseño de multietapas.						
TIPO DE ACTIVIDAD:	Taller	Conferencia	Seminario	Foro	Capacitación	Otros: Prueba Proyecto de grado
OBJETIVO DEL EVENTO: Evaluar el desempeño académico del objeto virtual de aprendizaje para diseño de amplificadores multietapas.						
FECHA	29	08	19	HORA DE INICIO	16:00	HORA FINAL 18:00
RESPONSABLE / FACILITADOR: Luis Eduardo Ramírez Carvajal				DEPENDENCIA: Departamento de electricidad y electrónica		
Nº	NOMBRE	IDENTIFICACIÓN O CÓDIGO	DEPENDENCIA	E-MAIL	FIRMA	
1	Brayon Calderon	1161167	Ing. Electrónica	Brayongnr8@gmail.com	Brayon Calderon	
2	Ronald Rodríguez	1161266	Ing. Electrónica	RonaldRodriguez0916@hotmail.com	Ronald Rodríguez	
3	Dennis A. Bayona O	1160111	Ing. Electrónica	Dennisadelaosobos@ufps.edu.co	Dennis A. Bayona O	
4	Jonathan Polonia	1160377	Ing. Electrónica	Jonapco@hotmail.com	Jonathan Polonia	
5	Juan Camilo Hernández	1161419	Ing. Electrónica	juancamilo10hp@ufps.edu.co	Juan Camilo Hernández	
6	Jorge Omar Peña	1161417	Ing. Electrónica	jorgeomarp@ufps.edu.co	Jorge Omar Peña	
7	Luis Alexis Berman	1160026	Ing. Electrónica	luisalexisb@ufps.edu.co	Luis Alexis Berman	
8	Moisés Villalba	1161326	Ing. Electrónica	moises.villab@hotmail.com	Moisés Villalba	
9	Darwin O. Cardozo	06921	Ing. Electrónica y Electrónica	darwinorlandocs@ufps.edu.co	Darwin O. Cardozo	

Figura 133. Listado de estudiantes de prueba académica

La prueba consistió en realizar un diagnóstico de algunos conceptos a través de la encuesta, antes y después de conocer la herramienta. Se realizó la encuesta una vez, después de esto se les presentó la herramienta y los estudiantes interactuaron con la misma, conociendo el entorno y realizando diseños de amplificadores multietapas y finalmente se volvió a realizar la encuesta para evaluar el impacto académico de la herramienta. Según la respuesta del estudiante se dio una calificación de 1 a 5 a cada pregunta.

Los resultados antes de usar la herramienta fueron los siguiente:

Pregunta	ESTUDIANTE 1	ESTUDIANTE 2	ESTUDIANTE 3	ESTUDIANTE 4	ESTUDIANTE 5	ESTUDIANTE 6	ESTUDIANTE 7	ESTUDIANTE 8
1	3	3	3	3	2	3	3	3
2	4	2	2	2	3	3	3	3
3	3	3	2	3	2	3	2	4
4	4	2	2	2	3	3	3	4
5	2	3	1	3	3	3	3	4
6	4	4	2	2	4	3	3	3
7	1	5	4	3	3	2	2	2
8	3	3	3	4	3	2	3	3
9	2	3	3	3	3	2	3	3
10	3	2	3	3	4	3	2	3
Promedio	2,9	3	2,5	2,8	3	2,7	2,7	3,2
Promedio total del curso antes			2,85					

Figura 134. Resultados antes de conocer la herramienta

Los resultados después de conocer la herramienta fueron los siguientes:

Pregunta	ESTUDIANTE 1	ESTUDIANTE 2	ESTUDIANTE 3	ESTUDIANTE 4	ESTUDIANTE 5	ESTUDIANTE 6	ESTUDIANTE 7	ESTUDIANTE 8
1	4	3	3	5	5	5	5	3
2	4	5	4	5	4	5	4	4
3	4	4	4	4	5	5	5	3
4	4	5	2	4	4	5	5	4
5	3	3	3	5	5	4	5	5
6	5	4	5	3	5	5	5	3
7	2	5	5	4	4	5	5	3
8	3	4	5	5	4	4	5	4
9	4	4	4	4	4	3	4	5
10	5	5	5	4	4	5	5	3
Promedio	3,8	4,2	4	4,3	4,4	4,6	4,8	3,7
Promedio total del curso después			4,225					

Figura 135. Resultados después de conocer la herramienta

12.5 Productos

12.5.1 Ponencias

Se participó en 5 congresos de investigación:

Ponencia 1: **V Semana Internacional de Ciencia Tecnología e Innovación, Cúcuta, 23 de Noviembre de 2018.** En esta primera ponencia se expuso una visión general del proyecto como Objeto Virtual de Aprendizaje



Figura 136. Certificado Ponencia 1

Ponencia 2: **III Encuentro Internacional en Educación Matemática, Cúcuta, 13 de Abril de 2019.** La segunda ponencia se enfocó en la metodología.



Figura 137. Certificado Ponencia 2

Ponencia 3: **V Encuentro Regional de semilleros de Investigación en Universidad de Pamplona, Pamplona 17 de Mayo de 2019.** La tercera ponencia se enfocó en la interfaz de la herramienta, la cual se socializó en el encuentro regional de semilleros de investigación donde se obtuvo un puntaje de 96 con el cual se otorgó la oportunidad de asistir al encuentro nacional.



Figura 138. Certificado Ponencia 3

Ponencia 4: **XXII Encuentro Nacional y XVI Internacional de Semilleros de Investigación, Valledupar, 8-12 Octubre de 2019.** De acuerdo a directrices dadas por los jurados en el encuentro regional, se hicieron algunas mejoras en la interfaz y los resultados fueron expuestos en el encuentro nacional donde se realizó la cuarta ponencia de este proyecto.

EL SUSCRITO VICERRECTOR ASISTENTE DE INVESTIGACIÓN Y EXTENSIÓN

CERTIFICA QUE

Luis Eduardo Ramírez Carvajal, Identificado con C.C. 1.090.445.078 de Cúcuta, participó como ponente en el **XXII Encuentro nacional y XVI internacional de semilleros de investigación** realizado en la ciudad de Valledupar del 8 al 12 de Octubre del 2019 con el proyecto titulado: **“INTERFAZ GRÁFICA PARA DISEÑAR AMPLIFICADORES N-ETAPAS CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO”**.

En constancia, se emite el 29 de Octubre del 2019


JHAN PIERO ROJAS SUAREZ

VICERRECTOR ASISTENTE DE INVESTIGACIÓN Y EXTENSIÓN

Avenida Gran Colombia No. 12E-96 Barrio Colsag
 Teléfono (057)(7) 5776655 - www.ufps.edu.co
 oficinadeprensa@ufps.edu.co San José de Cúcuta - Colombia

Creada mediante decreto 323 de 1970

Ver Rubrica Gráfica
 octubre 2019

Figura 139. Certificado Ponencia 4

Ponencia 5: I Congreso Internacional & II Congreso nacional CIENTECG / Ciencia tecnología y Gestión, Explorando ideas, Medellín, 23 - 25 de Octubre de 2019. La quinta ponencia se enfocó en socializar el desarrollo del algoritmo y su respectiva codificación.



Figura 140. Certificado Ponencia 5

12.5.2 Artículo

La participación en el I CONGRESO INTERNACIONAL Y II CONGRESO NACIONAL DE CIENCIA, TECNOLOGÍA Y GESTIÓN – CIENTECG 2019 “EXPLORANDO IDEAS” permitió la redacción de un artículo que fue enviado para su respectivo estudio con el fin de ser publicado en la revista Journal of Physics: Conference Series de la IOP Publishing (JPCS). El artículo fue aprobado para su publicación con la condición de realizar algunas correcciones en base a sugerencias dadas por el editor y actualmente se encuentra en revisión nuevamente.

29/11/2019

Correo de Universidad Francisco de Paula Santander - Solicitud Corrección Artículo 1 [ICSTM-JPCS]



Luis Eduardo Ramirez Carvajal <luiseduardorc@ufps.edu.co>

Solicitud Corrección Artículo 1 [ICSTM-JPCS]

8 mensajes

Foristom E D 3 <foristom.ed3@gmail.com>

8 de noviembre de 2019, 1:03

Para: luiseduardorc@ufps.edu.co

Estimados Autores,

Con todo su respeto, me permito a continuación comunicarle la decisión que han realizado los evaluadores a su manuscrito titulado: **Computer-aided design software for multi-stage amplifiers with bipolar transistors and field effect** e identificado como **1**, el cual fue sometido a publicación en el volumen del Journal of Physics: Conference Series de la IOP Publishing (JPCS), correspondiente al **1st International Congress of Science, Technology and Management (ICSTM)**, conferencia que se realizó en la ciudad de **Medellín** del **23-25 de octubre** de 2019.

Observaciones Generales del Artículo

Considero que es un excelente artículo descriptivo y metodológico, de relevancia científica que aborda una temática interesante, novedosa y que podría ser de gran impacto para la comunidad científica. No obstante, se sugieren realizar las recomendaciones descritas en esta evaluación (Ver archivos adjuntos).

Los autores deben corregir el manuscrito y responder, mediante una carta al editor, a cada uno de los comentarios y sugerencias otorgadas por los evaluadores.

- Como archivo adjunto, se envía el artículo con notas de revisión y un documento con recomendaciones y sugerencias en cumplimiento de las políticas editoriales establecidas por el JPCS de la IOP Publishing y el comité editorial del **ICSTM**
- **Por favor corregir únicamente sobre el manuscrito que se envía adjunto a esta comunicación**
- De acuerdo a lo anterior, Ustedes tienen **48 horas** para enviar por este medio de comunicación su artículo con todas las correcciones realizadas y la carta de respuesta al editor. Si ustedes incumplen con las correcciones sugeridas y el tiempo estipulado por el comité editorial, lamentablemente su manuscrito no será publicado en el volumen del JPCS de la IOP Publishing correspondiente al **ICSTM**

Agradecido por su atención y en espera del cumplimiento de las sugerencias solicitadas.

Cordial saludo,

Leidy Marcela Dueñas Ramírez, Editor Section

Ely Dannier V. Niño, Editor

JPCS Chief Editor for **International Congress of Science, Technology and Management (ICSTM), Medellín, 2019.**

Fundación of Researchers in Science and Technology of Materials (FORISTOM)

<http://foristom.org/5imrmp>



01 Computer-aided design software for multi-stage amplifiers with bipolar transistors and field effect.docx
507K

Luis Eduardo Ramirez Carvajal <luiseduardorc@ufps.edu.co>

8 de noviembre de 2019, 8:25

Para: Foristom E D 3 <foristom.ed3@gmail.com>

<https://mail.google.com/mail/u/2?ik=23ee02985b&view=pt&search=all&permthid=thread-f%3A1649612460467523571&siml=msg-f%3A1649612460467523571> 1/4

Figura 141. Solicitud de correcciones para publicación de artículo

12.5.3 Registro de software

San José de Cúcuta 19 de Noviembre de 2019

UNIVERSIDAD FRANCISCO DE
PAULA SANTANDER
UNIDAD DE CORRESPONDENCIA

No. RADICADO: 14083

FECHA: 2 D. NOV 2019

NOMBRE: 11 folios Un cd

FIRMA: [Firma]

Señor(es)
Vicerrectoría Asistente de Investigación y Extensión
UFPS

Cordial saludo,

De forma respetuosa solicito su apoyo para realizar el registro de Software titulado "MULCAD", producto del proyecto de investigación titulado OBJETO VIRTUAL DE APRENDIZAJE PARA DISEÑAR AMPLIFICADORES MULTI-ETAPA CON TRANSISTORES BIPOLAR Y EFECTO DE CAMPO realizado en el Grupo de Investigación y Desarrollo en Electrónica y Telecomunicaciones del programa de Ingeniería Electrónica.

Anexo en CD la siguiente documentación:

- Registro de Soporte de Software (1).
- Cesión de derechos de Software (4) por cada autor.
- Solicitud de Registro DNDA (1).
- Software MULCAD (1).
- Manual de Usuario (1).
- Código del software MULCAD (1).

Gracias por la atención prestada,

Atentamente,

Karla Puerto López

KARLA CECILIA PUERTO LÓPEZ

C.C 37.293.125 de Cúcuta

Código: 04184

e-mail: karlaceciliapl@ufps.edu.co

Móvil: 3103337877

Dirección: Manzana 2 casa 28 conjunto cerrado vegas del río.

Figura 142. Solicitud de registro de software

13. Conclusiones

La herramienta realizada es exacta comparada con el software de simulación “OrCAD” abalado por la comunidad científica ya que las pruebas realizadas mostraron un error promedio de 0,94%.

La herramienta realizada es exacta según las pruebas de implementación llevadas a cabo en laboratorio ya que el error promedio fue de 2,05% y todos los circuitos probados mostraron un comportamiento estable en la señal de salida.

La herramienta es útil en implementación pues después de proporcionar el diseño permite cambiar los valores de las resistencias por valores reales y analizar el circuito, además de permitir introducir el valor de la ganancia obtenida al implementar el circuito y calcular el error experimental.

La exactitud mostrada por la herramienta, permite inferir que esta, lleva a cabo un proceso de diseño eficaz en corto tiempo; lo cual, en un proceso de diseño e implementación, traslada el riesgo de error al proceso de implementación solamente, y si éste se lleva a cabo de forma ordenada, probando continuidad en cada una de las conexiones al momento de realizarlas, los resultados muy probablemente serán los esperados como se observó en las pruebas.

Al tener unidad teórica le permite al estudiante fortalecer sus conocimientos y tener una guía virtual para consultar la información referente a amplificadores multi-etapa con transistores BJT y/o JFET como se observó en la prueba académica realizada a estudiantes del curso “Electrónica 3” donde se evidenció un mayor dominio del tema al aumentar el promedio de 2,85 a 4,22 después de haber conocido OVA y haberlo usado, haciendo de este una herramienta de aprendizaje integral.

Es una herramienta innovadora ya que realiza dos procedimientos: diseño y análisis. Tiene una interfaz amigable que incentiva el aprendizaje y la investigación. En la prueba académica realizada a los estudiantes del curso “electrónica 3” estos expresaron un mayor interés por el tema además de querer participar en semilleros de investigación debido a que conocieron los beneficios otorgados por esta herramienta que fue producto de un proyecto de investigación.

14. Referencias bibliográficas

- Álvarez, & Marcón. (2011). Objeto virtual de aprendizaje para evaluación simulada de dolor agudo por estudiantes de enfermería. *Revista Latino-Am. Enfermagem*, 19(2).
- Bernal, L., & Rodriguez, C. (s.f.). *Aplicación de una herramienta de ingeniería asistida por computador para el análisis unidimensional de tornillos de extrusión de termoplásticos*. 2005: Universidad EAFIT.
- Boylestad, R. L., & Nashelsky, L. (2009). *Electrónica: Teoría de circuitos y dispositivos electrónicos* (10 ed.). México: Pearson Educación.

- Callergues, G. (2013). *Diseño e implementación de un amplificador de audio en clase AB en puente de baja potencia*. Universidad Politécnica de Valencia.
- Castellanos, A. (2013). *Amplificadores lineales de potencia de alto rendimiento*. Universidad Politécnica de Cartagena.
- Feria, & Zúñiga. (2016). Objetos virtuales de aprendizaje y el desarrollo de aprendizaje autónomo en el área de inglés. *Práxis, 12*, 63-77.
- Gutiérrez, & Ariza. (2016). Guía para el diseño de objetos virtuales de aprendizaje (OVA). Aplicación al proceso enseñanza-aprendizaje del área bajo la curva de cálculo integral. *Rev. Cient. Gen. José María Córdova, 14(18)*, 127-147.
- Hambley, A. (2001). *Electrónica* (Segunda ed.). España: Pearson Educación.
- Kamasheva, A. (2006). *Mejora en el diseño del amplificador de bajo ruido en la banda 1420 MHz para aplicaciones de radioastronomía*. Escuela Superior de Ingeniería de Telecomunicación (Universidad Politécnica de Cartagena).
- Lourdes Rincón, M. (2008). Los entornos virtuales como herramientas de asesoría. *Revista Virtual Universidad Católica del Norte(25)*.
- Mejía. (2014). Correlación entre la usabilidad de un OVA y su efectividad como herramienta de enseñanza-aprendizaje. *IngEam, 1*, 66-75.
- Mendivil Reynoso, T. (2015). *Estudio de transistores FET de Cds por diferentes formulaciones mediante baño químico*. CIMAV Repositorio.
- Molina, Vite, & Dávila. (2018). Metodologías ágiles frente a las tradicionales en el proceso de desarrollo de software. *Espiraes revista multidisciplinaria de investigación, 2(7)*.

- Olarte, J. (2011). *Diseño de un amplificador de audio con excursión de voltaje mayor a las fuentes de polarización, utilizando técnicas de microelectrónica*. Pontificia Universidad Javeriana.
- Pérez Paris, A. (2002). *De la tecnología de fabricación de transistores y circuitos integrados*. Madrid: Universidad de Alcalá de Henares.
- Rengifo, Morales, & Gonzales. (2015). Desarrollo de objetos virtuales de aprendizaje como estrategia para fomentar la permanencia estudiantil en la educación superior. *Revista Escuela De Administración De Negocios*(79), 116-129.
- Rengifo, Morales, & Gonzales. (2015). Desarrollo de objetos virtuales de aprendizaje como estrategia para fomentar la permanencia estudiantil en la educación superior, *Revista Escuela De Administración De Negocios*. *Revista Escuela De Administración De Negocios*(79), 116-129.
- Roja, O., & Rojas, L. (2006). Diseño asistido por computador. *Revista de investigación UNMSM, Diseño y tecnología*.
- Rojas, C., Zuluaga, A., & Rodriguez, C. (s.f.). *Diseño de un puesto de pago modular y parametrico e implementación de una metodología para la creacion de librerias personalizadas en una plataforma cad aplicado a la empresa demetalicos s.a*. Medellín, Colombia: Universidad EAFIT.
- Salmon, R., & Slater, M. (1987). *Computer Graphics: Systems and Concepts*. Addison-Wesley.
- Satama, L. (2000). *Programa computacional didáctico para la enseñanza de electrónica básica modulo II*. Escuela Politécnica Nacional.

Savant, C. J., Roden, M., & Carpenter, G. (1991). *Diseño Eelectrónico, circuitos y sistemas*. Addison-Wesley.

Silva, & Chica. (2016). Diseño y Desarrollo de un Objeto Virtual de Aprendizaje para un Curso de Electrónica. *INGE CUC, 12(1)*, 9-20.

Torres, J. C. (2005). *Diseño asistido por ordenador*. Granada: Universidad de Granada.

Veytia, Lara, & Garcia. (2018). Objetos Virtuales de Aprendizaje en la Educación Superior. *Eikasia, 79*, 207-224.