



UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
DIVISIÓN DE BIBLIOTECA EDUARDO COTE LAMUS



RESUMEN TESIS DE GRADO

AUTOR(ES)

NOMBRE: (S): JOHANA CONSUELO
NOMBRE: (S): LUIS ALBERTO

APELLIDOS: GUZMAN CERON
APELLIDOS: ASPRILLA CARDONA

FACULTAD: DE INGENIERÍAS

PLAN DE ESTUDIOS: INGENIERÍA ELECTRÓNICA

NOMBRE(S): ALEXIS

APELLIDOS: RAMIREZ

TITULO DE LA TESIS: DISEÑO DE CIRCUITOS TRIGONOMÉTRICOS EN
FPGAs

RESUMEN

Este proyecto describe el diseño digital de circuitos trigonométricos, en lenguaje VHDL (Hardware Description Language). Se desarrollan todas las etapas que componen el sistema, su análisis y verificación mediante la herramienta Quartus II de Altera.

Su fundamentación teórica está orientada al estudio, análisis y cálculo de las funciones trigonométricas empleando el Algoritmo de Cordic y punto flotante en formato IEEE-754 de 32 bits, lo cual permite el desarrollo adecuado del proceso de diseño y verificación de su desempeño. Con base en lo anterior se brinda una herramienta de hardware, que facilita la implementación de funciones trigonométricas en los diseños digitales que lo requieran.

PALABRAS CLAVES

Algoritmo, funciones, punto flotante, diseño.

CARACTERÍSTICAS:

PAGINAS: 123

PLANOS: 0

ILUSTRACIONES 20

CD-ROM 1

DISEÑO DE CIRCUITOS TRIGONOMÉTRICOS EN FPGAs

**JOHANA CONSUELO GUZMAN CERON
LUIS ALBERTO ASPRILLA CARDONA**

**UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ CAMACHO
FACULTAD DE INGENIERÍAS
PROGRAMA DE INGENIERIA ELECTRÓNICA
SANTIAGO DE CALI
2011**

DISEÑO DE CIRCUITOS TRIGONOMÉTRICOS EN FPGAs

**JOHANA CONSUELO GUZMAN CERON
LUIS ALBERTO ASPRILLA CARDONA**

**Trabajo De Grado Presentado Como Requisito Para Optar Por El Título
De Ingeniero Electrónico**

**Director de tesis:
ING. ALEXIS RAMIREZ**

**UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ CAMACHO
FACULTAD DE INGENIERÍAS
PROGRAMA DE INGENIERIA ELECTRÓNICA
SANTIAGO DE CALI
2011**

**CONVENIO
UNIVERSIDAD FRANCISCO DE PAULA SANTANDER
INSTITUCIÓN UNIVERSITARIA ANTONIO JOSÉ
CAMACHO**

ACTA DE SUSTENTACIÓN PROYECTO DE GRADO 2-2011

El jurado Académico del programa de Ingeniería Electrónica, conformado para la evaluación de la sustentación del proyecto de grado **DISEÑOS DE CIRCUITOS TRIGONOMETRICOS EN FPGAS**, presentado por los estudiantes:

Cédula	Nombre	Calificación en Ictra3	Nota
1130631264	JOHANA CONSUELO GUZMAN CERON	<u>CUATRO PUNTO CUATRO</u>	<u>4.4</u>
1113626457	LUIS ALBERTO ASPRILLA CARDONA	<u>CUATRO PUNTO CUATRO</u>	<u>4.4</u>

Y dirigido por el Ingeniero **ALEXIS RAMIREZ**

Aprueban la sustentación como requisito para optar el título como Ingeniero Electrónico

Firmado en la ciudad de Cali a los 23 días del mes de Septiembre de 2011


ING. JOSE ALEJO RANGEL
JURADO 1


ING. NORMA XIMENA RIOS
JURADO 2


JORGE HUMBERTO ERAZO AUX M.Eng
Director Programa Ingeniería Electrónica
Institución Universitaria Antonio José Camacho


ING. DINAEL GUEVARA IBARRA Ph.D
Director Plan estudio Ingeniería Electrónica
Universidad Francisco de Paula Santander

AGRADECIMIENTOS

Los autores expresan sus más sinceros agradecimientos a:

Alexis Ramírez, Ingeniero Electrónico, director del proyecto por su fundamental apoyo, colaboración y asesoría para la culminación del proyecto.

Los docentes de la Institución Universitaria Antonio José Camacho, por la formación académica, profesional y humana brindada a lo largo de la carrera.

TABLA DE CONTENIDO

		Pág.
	INTRODUCCION	12
1	CAPITULO I - FUNDAMENTACION PARA EL ALGORITMO DE CORDIC EN PUNTO FLOTANTE	19
1.1	DEFINICIÓN DEL ALGORITMO DE CORDIC	19
1.1.1	Modo Vectorización	22
1.1.2	Modo Rotación	22
1.2	GENERALIZACIÓN DEL ALGORITMO DE CORDIC	23
1.3	ARQUITECTURA PARA EL ALGORITMO DE CORDIC	24
1.3.1	Arquitectura Bit-Paralela Iterativa	24
1.3.2	Arquitectura Bit-Serie Iterativa	25
1.3.3	Arquitectura Bit-Paralela Desplegada	27
1.4	PUNTO FLOTANTE	29
1.4.1	Estándar IEEE-754	31
1.4.2	Conversión De Un Número En Punto Flotante	33
1.4.3	Suma Y Resta En Punto Flotante	35
1.4.4	Multiplicación Y División En Punto Flotante	37
2	CAPITULO II - DISEÑO DE HARDWARE EN VHDL	39
2.1	HERRAMIENTAS CAD	39
2.2	DISEÑO BOTTOM-UP	41
2.3	DISEÑO TOP-DOWN	42
2.3.1	Ventajas Del Diseño Top-Dow	43
2.4	DESCRIPCIÓN DE DISEÑOS	44
2.5	LENGUAJE DE DESCRIPCIÓN DE HARDWARE	44
2.5.1	Comportamiento Y Estructura Del Lenguaje VHDL	46
2.6	EJEMPLO BÁSICO EN VHDL	47
2.7	ELEMENTOS DE SINTAXIS DEL LENGUAJE VHDL	49
2.7.1	Números	49
2.7.2	Identificadores	50
2.7.3	Comentarios	50
2.7.4	Caracteres	50
2.7.5	Cadena De Bits	50
2.7.6	Operadores Y Expresiones	50

2.7.7	Tipos Empleados En El Lenguaje VHDL	52
2.7.7.1	Tipo Punto Flotante	52
2.7.7.2	Tipo Físico	53
2.7.7.3	Tipo Entero	53
2.7.7.4	Tipo Archivo	53
2.7.7.5	Subtipos	54
2.7.8	Secuencias Secuenciales	54
2.7.8.1	Secuencias De Bucle	54
2.7.8.2	Sentencia IF	55
2.7.8.3	Aserciones	55
2.7.8.4	Sentencia Case	56
2.7.8.5	Sentencia Null	56
2.7.8.6	Asignación De Variables	57
2.7.9	Declaración De Entidad	57
2.7.10	Declaración De Arquitectura	58
2.7.10.1	Declaración De Componentes	58
2.7.10.2	Bloques	59
2.7.11	Asignación De Señales	60
2.7.12	Asignación Concurrente A Señales	61
2.7.13	Repetición Estructural	62
2.7.14	Librerías	63
2.7.15	Declaración De Configuración	63
2.7.16	Aserciones Concurrentes	64
2.7.17	Transacción Null	64
2.7.18	Procedimientos Concurrentes	64
3	CAPITULO III - DESARROLLO DEL ALGORITMO DE CORDIC	66
3.1	DISEÑO Y SIMULACIÓN	67
3.2	DESARROLLO DEL ALGORITMO DE CORDIC	68
3.3	DESCRIPCIÓN DE LA ARQUITECTURA BIT-PARALELA DESPLEGADA	69
3.3.1	Formato Empleado	69
3.3.2	Componentes De La Arquitectura Bit-Paralela Desplegada	70
3.3.2.1	Sumador	70
3.3.2.2	Multiplexor	74
3.3.2.3	Unidad De Desplazamiento	75
3.3.2.4	Entidad Y Arquitectura De Una Iteración	77
3.3.2.5	División	79
3.3.2.6	Descripción Final	80

4	CAPITULO IV. SIMULACIÓN Y VERIFICACIÓN	83
4.1	SIMULACIÓN	84
4.1.1	Simulación Para Validar De Funcionamiento Del Algoritmo De Cordic	85
4.3.2	Resultados De La Simulación	87
4.3.3	Resultados De La Compilación	94
	CONCLUSIONES	95
	REFERENCIAS BIBLIOGRÁFICAS	97
	ANEXOS	99